



Etude de nano-transistors à faible pente sous le seuil pour des applications très basse consommation

Anthony Villalon

► To cite this version:

Anthony Villalon. Etude de nano-transistors à faible pente sous le seuil pour des applications très basse consommation. Micro et nanotechnologies/Microélectronique. Université de Grenoble, 2014. Français. NNT : 2014GRENT101 . tel-01152773

HAL Id: tel-01152773

<https://theses.hal.science/tel-01152773>

Submitted on 18 May 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nano Electronique et Nano Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

Anthony VILLALON

Thèse dirigée par **Sorin CRISTOLOVEANU** et
codirigée par **Cyrille LE ROYER**

préparée au sein du **CEA-LETI**
dans l'**École Doctorale Electronique, Electrotechnique,**
Automatique et Traitement du Signal

Etude de nano-transistors à faible pente sous le seuil pour des applications très basse consommation

Thèse soutenue publiquement le **10 décembre 2014**,
devant le jury composé de :

M. Alexander ZASLAVSKY

Professeur à Brown University, Providence

(Président)

M. Jean-Luc AUTRAN

Professeur à l'IM2NP, Marseille

(Rapporteur)

M. Costin ANGHEL

Professeur à l'ISEP, Paris

(Rapporteur)

M. Sorin CRISTOLOVEANU

Directeur de recherche à l'IMEP-LAHC

(Directeur de thèse)

M. Cyrille LE ROYER

Ingénieur de recherche au CEA-LETI

(Co-encadrant)

M. Philippe GALY

Directeur technique à STMicroelectronics

(Examineur)

Remerciements

Je tiens à remercier tout particulièrement Sorin, pour ses relectures attentives et rapides, ses remarques utiles et ses conseils toujours avisés, ainsi que Cyrille, pour l'opportunité aussi bien de la thèse que du stage précédant, pour son encadrement quasi-quotidien, ses conseils sur la mise en forme et la présentation des idées et résultats et son utilisation parfois abusive de l'outil pédagogique.

Je remercie également Jin Ling pour m'avoir accompagné pendant ces trois années, en sacrifiant au passage de nombreuses opportunités, mes parents ainsi que le reste de ma famille, qui m'ont toujours soutenu et encouragé à aller plus loin.

J'étends ces remerciements aux membres du jury avoir accepté de corriger mon manuscrit (corrections qui ne sont pas incluses ici, l'école doctorale, louée soit sa sagesse, ayant décidé que le manuscrit était parfait et devait être rendu au plus vite afin de libérer de la place sur les étagères) ainsi que leur présence à la soutenance, à Marielle et Sylvaine du LTM, qui m'ont également beaucoup aidé en réglant efficacement toute la tracasserie administrative engendrée par la bourse MINOS.

Je tiens également à remercier membres, passés et présent, du bureau 409 : Heimanu, Jérôme, Lia, Siméon, Gabriele, Lucas, Julien, Mathilde, sans qui ces trois années n'auraient pas été aussi musicales.

Afin de ne pas faire de jaloux, je remercie également les autres thésards: Aurore, Fabien, Vincent, Loïc, Daniele, Manuela, Issam.

Les (ex-)membres du laboratoire LICL (ou affilié), particulièrement tous ceux qui ne sont pas susmentionnés, sont également à remercier : Sabine, Brigitte, Thomas, Christophe, Bernard, Hervé, Claude, Laurent, Louis, Laurent, Louis et Laurent (dans cet ordre), Perrine, Claire, Sylvain, Phuong, Yves (que je ne pourrais plus embêter le matin), François, Olivier, Thierry, Nils, Olivier, Virginie, Marie-Pierre, Rémi, Assawer, Jing et Cuixin, Romain, Willy et enfin Maud.

Je remercie également les membres du laboratoire de simulation pour leur aide précieuse pour la compréhension des dispositifs : Sébastien, Gilles, Marie-Anne, Pascal et Pierrette. En descendant d'un étage par l'escalier de secours nous tomberons sur David, que je remercie également.

Je tiens à remercier Alberto pour son aide et les discussions (enflammées, évidemment) sur le fonctionnement des TFETs. De même je remercie Pierce, sans qui nous n'aurions pas découvert le moyen de différencier électriquement les Schottky des TFETs.

Enfin, je vais terminer ces remerciements par ceux qui ne liront probablement pas leur nom dans ce document, mais pourront se consoler avec une fraction de gratitude : Jean, Alexandre, Julien, Emmanuel, Ismaël, Salomé, Jérôme, Damien, Benoit, Vincent, Screech, Tchong, Lduo, Fafa et Amaël.

Sommaire

I.	Chapitre premier : Contexte de l'étude	9
A.	Les limites de la microélectronique.....	9
1.	Limites du MOSFET.....	9
2.	Solutions possibles	9
a)	Interrupteurs mécaniques.....	9
b)	Transistors à ionisation par impact (I-MOS).....	10
c)	Les transistors à effet tunnel bande à bande.....	11
3.	Modélisation des transistors à effet tunnel bande-à-bande.....	12
B.	Etat de l'art du TFET	13
1.	TFET planaire	13
2.	Transistor à effet tunnel orthogonal	14
3.	Hétérojonctions et 'broken-gap'	17
4.	Asymétrie	21
5.	Poches de dopants	26
6.	Changement de matériaux.....	28
C.	Choix de l'étude.....	30
D.	Bibliographie.....	30
II.	Chapitre second : Compréhension générale du dispositif	37
A.	Fonctionnement de base du dispositif.....	37
1.	Diagrammes de bande	37
d)	Cas nTFET.....	38
e)	Cas pTFET.....	38
2.	Origine des phénomènes steep-slope.....	38
a)	Représentation de l'injection dans un nMOSFET	38
b)	Représentation de l'injection dans un nTFET.....	40
B.	Impact des deux jonctions sur le blocage du TFET	41
1.	Impact sur les caractéristiques électriques et les fuites	41
2.	Utilisation possible de structures ambipolaires	42
3.	Méthodes de suppression de l'ambipolarité	42
C.	Double jonction à l'état ON.....	44
1.	Théorie et simulation	44

2.	Confirmation expérimentale	45
3.	Cas d'un TFET asymétrique	46
D.	Superlinéarité	48
1.	Couplage Drain-Canal	48
2.	Effets capacitifs.....	49
E.	Conclusion du chapitre second	50
F.	Bibliographie.....	51
III.	Penultième chapitre : Transistors TFETs co-intégrés en technologie FDSOI planaire.....	53
A.	Présentation du processus planaire tri-couche SiGe/SOI	53
1.	Enchaînement des étapes.	53
2.	Présentation des splits étudiés	55
B.	Caractérisation des transistors MOS.....	56
1.	Caractérisation physique : images MEB et TEM.....	56
2.	Caractérisation électrique : $I_D(V_G)$, $I_{OFF}(I_{ON})$ et $C(V)$	57
C.	Caractérisation des TFETs.....	59
1.	Caractérisation comportementale : différencier le fonctionnement TFET	59
c)	Modèle de Kane.....	60
d)	Dépendance en température	62
e)	Impact de la longueur de grille.....	63
2.	Caractérisation électrique	63
f)	Impact de l'épaisseur du film de SiGe	63
g)	Matériaux à faible bandgap et hétérojonction	64
h)	Impact de la température de recuit et meilleures performances pTFET	66
3.	TFET hautes performances.....	67
D.	Conclusion du chapitre pénultième	71
E.	Bibliographie.....	73
IV.	Ultime chapitre : Réalisation et performance de TFETs sur nanofils horizontaux.....	75
A.	Présentation du processus de fabrication des nanofils	75
1.	Avantages de la structure nanofil par rapport au FDSOI planaire	75
2.	Canal du TFET : Enrichissement en germanium et caractérisation	77
B.	Caractérisation des TFETs hautes performances	78
1.	Démonstration de courants records	79
2.	Caractérisation du fonctionnement TFET.....	81
3.	Impact de la concentration en germanium du canal	83

4.	Impact de la largeur du fil.....	84
C.	Fonctionnement basse température des TFETs.....	87
1.	Caractérisation électrique	87
2.	Déductions sur les performances des TFETs nanofils	89
D.	Conclusion de l'ultime chapitre.....	90
E.	Bibliographie.....	92
V.	Conclusion générale	94
VI.	Bibliographie de l'auteur	96
	Papiers en conférences	96
	Papiers dans des journaux.....	99
	Communications.....	99
	Chapitres de livre.....	99

Constantes

Symbole	Signification	Valeur	Unité
q	Charge élémentaire	$1.602 \cdot 10^{-19}$	C
k	Constante de Boltzmann	$1.38 \cdot 10^{-23}$	J.K ⁻¹

Abréviations

Abréviation	Signification	Unité
E _G	Energie de bande interdite	J ou eV
I _{OFF} , I _{ON}	Densité de courant à l'état passant ou bloqué	A.μm ⁻¹
L _G	Longueur de grille	μm ou nm
N _S , N _D	Niveau de dopage de la source ou du drain	cm ⁻³
SS	Inverse de la pente sous le seuil, généralement appelé pente sous le seuil	V/dec ou mV/dec
T	Température	K
T _{ox}	Epaisseur d'oxide de grille	nm ou Å
t _{Si} , t _{SiGe}	Epaisseur de la couche de silicium ou de silicium-germanium	nm
V _G , V _S , V _D	Tension de grille, de source ou de drain	V

Acronymes

BOX	(Burried oxide) Oxyde enterré
BTBT	(Band to band tunneling) effet tunnel bande à bande
HAADF	(High angle annular darf field) technique d'imagerie à champ obscur
HDD	(Heavily doped drain) région de dopage principal
IMOS	(Impact ionization MOS) transistor à ionisation par impact
LDD	(lightly doped drain) extension de dopants
MEB	Microscope électronique à balayage (Scanning electron microscope ou SEM en anglais)
SiGe	Alliage silicium germanium
SOI	(Silicium on insulator) silicium sur isolant
TCAD	(Technology computer aided design) conception assistée par ordinateur pour la technologie
TEM	(Transmission electron microscope) microscope électronique à transmission
TFET	(Tunneling field effect transistor) transistor à effet tunnel

Introduction

Depuis la commercialisation des premiers transistors en 1959, puis des circuits intégrés et microprocesseurs en 1971, le nombre de transistors dans un microprocesseur double tous les deux ans, à coût constant, suivant la loi de Moore. Ceci se traduit du point de vue des transistors par une amélioration des performances continue, couplée à une réduction de la tension d'alimentation. Ce qui n'était à l'origine qu'une simple loi empirique fait aujourd'hui figure de support pour tout le développement de l'industrie de la microélectronique. Afin de pouvoir tenir le rythme, les nombreux changements à apporter aux transistors aussi bien qu'aux autres dispositifs sont listés dans un cahier des charges, l'ITRS, révisé tous les deux ans en fonction des progrès accomplis. Cette exigence relative à la tâche à accomplir couplée à l'échelle des progrès réalisés ce dernier demi-siècle ont créé une mentalité dans les industries liées à la microélectronique mélangeant une certaine peur de l'avenir, la certitude que l'on ne pourra pas tenir le rythme indéfiniment, et que le point de rupture se situe dans les prochaines années (depuis plus de vingt ans...), et une confiance en la possibilité de repousser toujours plus loin cette limite.

Dans un tel contexte, l'annonce par les principaux acteurs du secteur du développement de technologies différentes pour la réalisation de leurs transistors (FinFET d'Intel en 2011 et FDSOI pour STM en 2012) représente une mine d'opportunités pour la recherche sur les structures poliment appelées « alternatives » et traditionnellement considérées par l'industrie comme des solutions très long terme.

Dans ce manuscrit nous allons étudier l'une de ces structures innovantes, le transistor à effet tunnel, dont le principal intérêt est sa capacité démontrée à obtenir une pente sous le seuil inférieure à 60mV/dec qui est la limite thermodynamique des MOSFETs. Nous évoquerons également l'état de l'art de ces dispositifs, en particulier au niveau des nombreuses architectures possibles et imaginables.

Le second chapitre sera tourné vers la compréhension de la physique de l'injection tunnel bande à bande, ses implications sur les différents paramètres et performances des TFETs, et leur impact sur l'intégration des transistors.

Le pénultième chapitre sera consacré à la présentation des performances d'une première génération de TFETs que nous avons réalisés et caractérisés. Cette étude visait à comparer et analyser l'efficacité de changements de paramètre et de dimensions suspectés d'améliorer les performances des TFETs.

Forts des conclusions obtenues dans le précédent chapitre, nous avons pu lancer la fabrication d'une seconde génération de TFETs combinant tous les mécanismes favorables à l'obtention de performances supérieures, et les résultats des caractérisations de ces transistors sont rapportés dans notre ultime chapitre. Loin de nous satisfaire de l'analyse des mérites et avantages des TFETs, nous reporterons également dans ce chapitre comment nous avons identifié les problèmes restant, ainsi que leurs causes, facilitant toute future optimisation des transistors à effet tunnel bande à bande.

I. Chapitre premier : Contexte de l'étude

A. Les limites de la microélectronique

1. *Limites du MOSFET*

L'amélioration des performances des transistors MOSFETs constitue l'un des principaux objectifs poursuivis par l'industrie du semiconducteur. Toutefois, le facteur essentiel d'amélioration historique, la diminution des dimensions des transistors en parallèle de la réduction de la tension d'alimentation, laisse entrevoir une limitation intrinsèque liée à la physique des dispositifs considérés. Outre la difficulté croissante des procédés de fabrication avec la réduction des dimensions, ainsi que les effets parasites engendrés [Skotnicki00], les MOSFETs se caractérisent également par l'injection thermoïonique des porteurs de la source vers le canal. Le contrôle par la grille du transistor de l'injection est physiquement limitée à 60mV de tension de grille pour un gain d'une décade de courant à température ambiante [Sze06], ce qui implique que pour conserver deux états ON et OFF définis dans le transistor le ratio entre la tension d'alimentation et le rapport I_{ON}/I_{OFF} ne peut être réduit indéfiniment. On peut assez facilement supposer que cette limite sur le basculement du transistor de l'état bloqué à l'état passant se manifesterait pour des tensions d'alimentation de l'ordre de 400 à 500mV et un ratio I_{ON}/I_{OFF} de 5 décades.

Confronté à une limite intrinsèque, comme c'est le cas ici, deux voies sont ouvertes :

- La première consiste à faire disparaître le problème, sans l'adresser, en passant par exemple de la logique binaire actuelle à une logique basée sur trois états, voire plus, dont la définition serait l'état quantique, ou le spin.
- La seconde consiste, tout en restant le plus proche possible des structures CMOS, à changer l'injection des porteurs vers un mécanisme permettant d'obtenir une pente sous le seuil plus abrupte, et donc un basculement de l'état bloqué vers l'état passant ne nécessitant qu'une faible variation de la tension de grille.

Il est intéressant de noter que la première solution est une rupture technologique complète, encore à l'état de recherche fondamentale, et principalement étudiée par des acteurs étrangers au marché des semiconducteurs. Notre objectif dans cette thèse est de proposer des solutions technologiquement plus proches, aussi les réponses offertes porteront sur le choix, puis l'étude d'un mécanisme d'injection différent, ainsi que la caractérisation de transistors qui y sont liés.

2. *Solutions possibles*

L'étude de nouveaux mécanismes d'injection n'est pas nouvelle, si bien qu'une large bibliographie était disponible au début de cette thèse et nous a servi de base pour la sélection des dispositifs que nous allons étudier.

a) *Interrupteurs mécaniques*

Parmi les mécanismes offrant la pente sous le seuil la plus faible possible venait en premier lieu les interrupteurs mécaniques. Ces structures sont fabriquées comme des interrupteurs usuels, où la source et le drain sont physiquement coupés l'un de l'autre en état bloquant, et reliés par une poutre conductrice en état passant. Dans ces dispositifs la grille contrôle directement la position de la grille,

et le passage de l'état OFF à ON est immédiat dès lors que le contact physique est établi entre source, drain et poutre. De tels dispositifs ont été démontrés avec une pente voisine de 1mV/dec, voire même nulle [Akarvardar07][King12]. Toutefois, ce gain sur la pente s'accompagne d'un compromis sur le temps de commutation et sur la taille des interrupteurs qui à l'heure actuelle rend difficile une intégration dense, et impossible un maintien des fréquences d'horloge.

b) Transistors à ionisation par impact (I-MOS)

Un second dispositif prometteur pour ses valeurs de pente sous le seuil est le transistor à ionisation par impact ou I-MOS. Ce transistor utilise une structure PIN à grille asymétrique, polarisée en inverse afin d'obtenir de très forts champs électriques menant au phénomène d'avalanche, et entraînant une brutale augmentation du nombre de porteurs. La structure d'un tel dispositif est détaillée en figure I.1, issue de [Björk07], basée dans ce cas sur un nanofil vertical avec les régions d'accumulation des porteurs dans les états ON et OFF représentées. Les caractéristiques expérimentales montrent par ailleurs une pente sous le seuil de 5mV/dec dans le meilleur cas, ici avec une tension V_{DS} de -4.5V et une tension de grille V_{GS} d'environ -3V. Les tensions appliquées avant d'obtenir l'effet d'avalanche sont élevées, bien trop si l'on se souvient que notre objectif final est un dispositif présentant une pente sous le seuil abrupte avec une tension d'alimentation de l'ordre de 0.5V.

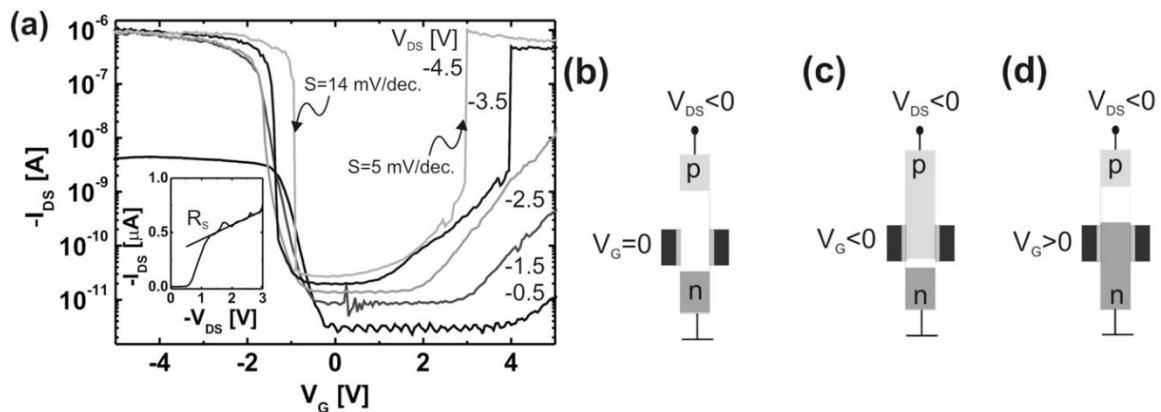


Figure I.1. a) Caractéristique $I_D(V_G)$ d'un transistor à ionisation par impact (IMOS) sur nanofil, présentant une transition abrupte entre l'état OFF et l'état ON, avec une pente sous le seuil à 5mV/dec sur 4 décades. La caractéristique $I_D(V_D)$ correspondante est disponible en inset. b) Schéma de la structure à $V_G=0V$. c) Régime d'accumulation dans le fil, pour une tension de grille négative. L'avalanche se produit à l'interface entre le canal et la région dopée N^+ . d) Pour une tension de grille positive (régime d'inversion sous la grille), l'avalanche se produit au niveau de la partie supérieure de la grille [Björk07].

Ceci est confirmé en figure I.2, issue de [Toh05], qui présente une caractéristique $I_D(V_G)$ mesurée sur un IMOS en forme de L. La forme de L permet de réduire la surface totale du dispositif, mais n'affecte pas les champs électriques requis pour observer l'effet d'avalanche. La pente de ce dispositif est donc également inférieure à la limite thermoionique, avec une valeur à 24mV/dec, toutefois les tensions nécessaires sont ici de $V_G=4V$ et $V_S=-7.8V$. Il est intéressant de noter par ailleurs qu'à cause du phénomène d'avalanche, la fiabilité de ces transistors est limitée, et qu'ils ont tendance à perdre leurs caractéristiques après quelques commutations. Toutes ces raisons, avantageuses et adverses, sont rapportées dans [Mayer08b], et font que nous ne nous intéresserons pas plus en détail aux IMOS.

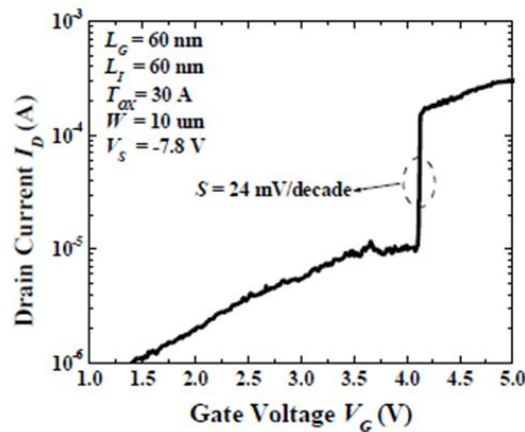


Figure I.2. Caractéristique $I_D(V_G)$ mesurée sur un IMOS à canal dopé N^+ , présentant une pente de 24mV/dec [Toh05].

c) Les transistors à effet tunnel bande à bande

Le troisième dispositif que nous allons présenter ici est le TFET, pour transistor à effet tunnel, qui se base généralement sur l'injection tunnel bande à bande. Comme pour l'IMOS, le TFET est fondé sur une architecture PIN, qui contrairement au IMOS n'a pas besoin d'être asymétrique, polarisée en inverse, afin de créer des conditions permettant aux électrons d'être injectés par effet tunnel de la bande de valence directement dans la bande de conduction. La structure est représentée en figure I.3, avec les diagrammes de bande associés, et une caractéristique courant/tension. Les TFETs ont déjà expérimentalement démontré des pentes sous le seuil inférieures à 60mV/dec [Jeon10][Mayer08a], et peuvent parfaitement fonctionner à faible tension d'alimentation. Les publications sur les TFETs ne mettent en évidence aucun désavantage majeur [Seabaugh10] (contrairement aux deux structures précédentes) si ce n'est un faible niveau de courant, aussi bien à l'état passant que bloquant, que nous espérons pouvoir optimiser. La structure PIN des TFETs permet par ailleurs au même dispositif de fonctionner comme un nTFET ou un pTFET, seules les polarisations appliquées ont besoin de changer (la structure est dite ambipolaire).

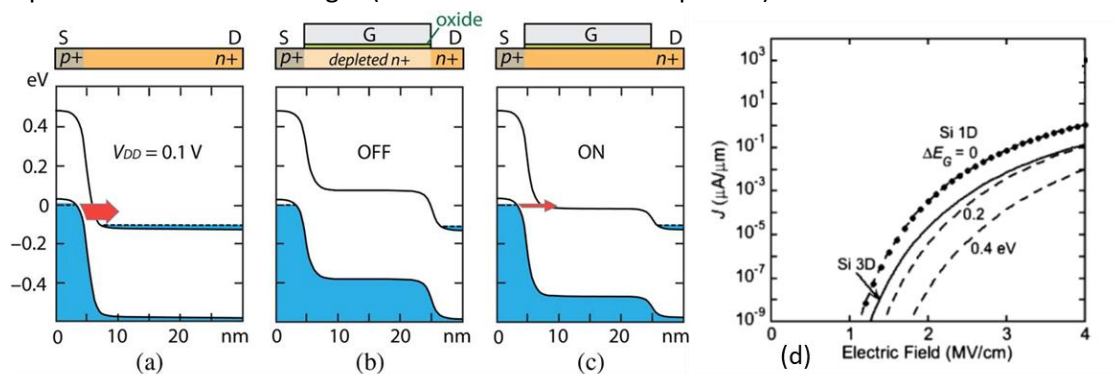


Figure I.3. Schéma de principe d'un transistor à effet tunnel (TFET). a) Principe d'une diode tunnel Zenner représentée ici avec une tension d'alimentation V_{DD} de 0.1V. b) Dispositif PIN à grille. La présence d'une grille permet de créer un canal intrinsèque à $V_G=0V$, représentant ainsi l'état OFF pour le transistor. c) Une tension de grille positive amène le dispositif dans les conditions de tunneling, et crée donc l'état ON du transistor. d) Exemple de caractéristique courant/tension de TFETs. Ici la densité de courant et le champ électrique sont représentés. Le régime sous le seuil et le début du régime saturé sont visibles. [Seabaugh10].

Enfin, et comme nous allons le présenter dans la partie qui suit, une majorité des études sur le comportement des TFETs relève de simulations numériques. Aussi avons-nous choisi d'étudier en détail les TFETs dans cette thèse, et en particulier sous l'angle de l'optimisation et de la caractérisation de dispositifs expérimentaux. Le faible nombre de dispositifs présentés ici est expliqué en début de partie par le souhait de garder des structures proches du MOSFET.

3. Modélisation des transistors à effet tunnel bande-à-bande

Les premiers modèles du courant tunnel remontent à Evan Kane [Kane61] et traitent de la théorie générale du tunneling. Ce modèle a ensuite été raffiné par Hurkx et Schenk [Hurkx92][Schenk97] pour inclure l'effet tunnel assisté par pièges, et la recombinaison qui en découle ainsi que pour l'adapter aux besoins de l'époque, les fuites par effet tunnel à travers l'oxyde de grille. Les programmes de simulations TCAD actuels reposent encore sur ces modèles, dont l'optimisation s'avère complexe en raison de la faible quantité de données expérimentales par rapport au volume de données simulées. Le principal problème repose sur les valeurs des différentes variables, le modèle de Kane utilisant deux coefficients A et B, Hurkx y adjoignant une masse effective de tunneling m^* . Les valeurs de A et de B, ainsi que leur dépendance sont généralement considérées comme connues dans le silicium (le modèle de Kane permettant entre autres de décrire également le GIDL, fuite de courant à travers la grille générée par la tension de drain), avec des études théoriques récentes fournissant des tables pour le cas général du SiGe [Kao12a]. La valeur de la masse effective de tunneling est plus discutée, et s'avère a priori n'être qu'un paramètre supplémentaire du modèle, utilisé, de l'aveu même de Hurkx, pour faciliter la correspondance entre théorie et mesure (pour $m^*=0.25m_0$).

Toutefois, plusieurs travaux récents et distincts proposent des améliorations significatives de ces modèles [Verhulst10][Verhulst11], voire même des modèles inédits [De Michielis13][Gnani13]. Les travaux de [Verhulst11] reprennent le modèle de Kane pour base de travail, en utilisant ensuite un double système de coordonnées, cartésiennes pour le courant tunnel longitudinal, cylindriques pour un courant dit ponctuel.

De l'autre côté du spectre se trouve [Gnani13] qui part de l'équation de Landauer sur le courant en mode balistique dans un nanofil, puis y applique non pas un coefficient T de transparence, mais d'injection tunnel. En appliquant cette méthode aux trois possibilités d'injection tunnel dans la structure (de la source vers le canal, du canal vers le drain et directement de la source au drain) puis en la simplifiant en fonction de la situation, l'auteur obtient un modèle dont les résultats coïncident avec des simulations numériques.

Enfin, dans [De Michielis13] l'auteur propose un modèle complètement différent, qui n'est plus basé sur les calculs de la probabilité d'injection tunnel, mais sur des calculs de densité d'état des deux côtés de la jonction tunnel. Ce modèle conduit se base sur l'équation I.1 pour sa formulation générale, avec P_T la probabilité de tunneling, f la répartition de Fermi-Dirac et G la densité d'états. Contrairement aux autres travaux de modélisation, cette équation présente l'avantage d'explicitier le terme de densité d'états, tout en simplifiant la probabilité d'injection. Dans le cas d'une très légère inversion des bandes, cette expression se simplifie en celle donnée en équation I.2, puisque G est alors voisin de 1. Cette expression amène ensuite à un calcul de la pente sous le seuil des TFETs fourni dans l'équation I.3 i) et ii) respectivement dans le cas de source non dégénérées ou fortement dégénérée, où VB et CB sont le plus haut niveau de la bande de valence et le plus bas niveau de la

bande de conduction, et E_F le quasi niveau de Fermi. Ce calcul de la pente est en accord avec les déductions de [Gnani13]. Dans le cas de la source non dégénérée cela démontre également la dépendance en V_G de la pente des TFETs, puisque la tension de grille va impacter les niveaux d'énergie des bandes dans le canal, tandis que la formule associée à une source dégénérée s'appliquera pour le régime saturation.

Par rapport aux équations du MOSFET, développées en détail dans [Sze06], il est particulièrement intéressant de noter qu'aucun des facteurs impactant le courant n'est lié aux dimensions géométriques du TFET. La densité de courant des TFETs est donc *a priori* indépendante de la longueur de grille, contrairement au cas des MOSFETs.

$$I_{T,1 \rightarrow 2} \propto \int P_T(E) f_1(E) G_1(E) (1 - f_2(E)) G_2(E) dE$$

Equation I.1. Modélisation générale du courant tunnel d'une région 1 vers une région 2 par [De Michielis13]. P_T correspond à la probabilité de tunneling, f_i la répartition de Fermi-Dirac dans la région i et G_i la densité d'états dans la région i .

$$I_T \propto \int_{CB_{ch,min}}^{VB_{s,max}} P_T(E) [f_s(E) - f_{ch}(E)] dE$$

Equation I.2. Simplification de l'expression précédente pour une fenêtre de tunneling réduite.

$$\begin{aligned} \text{i.} \quad SS &\approx \ln(10) \left(\frac{VB_{s,max} - CB_{ch,min}}{q} \right) \\ \text{ii.} \quad SS &\propto \ln(10) \left(\frac{E_{Fp,s} - CB_{ch,min}}{q} \right) \end{aligned}$$

Equations I.3. i) Approximation de la pente sous le seuil d'un TFET dans le cas de source non dégénérée, ou faiblement dégénérée, la dépendance aux niveaux d'énergie de valence pour la source et de conduction pour le canal traduit en réalité une dépendance en V_G . ii) Approximation de la pente sous le seuil dans le cas d'une source fortement dégénérée. $E_{Fp,s}$ correspond au quasi niveau de Fermi des trous dans la source. Ici l'un des niveaux d'énergie est plus ou moins fixé, et une augmentation de la polarisation de grille n'impactera plus la pente, le transistor est en régime saturé.

B. Etat de l'art du TFET

Nous avons fait le choix de nous orienter sur l'étude des TFETs, et nous allons dans cette partie détailler les nombreuses structures proposées dans la littérature sur le sujet.

1. TFET planaire

Nous commencerons par la structure planaire, la plus immédiate à mettre en place, et la première proposée [Baba92], issue de celle d'une diode PIN, sur laquelle on dépose une grille [Aydin04]. La figure I.4 présente une coupe SEM d'un transistor à effet tunnel réalisé sur SOI, dont la source (ici N^+) et le drain (P^+) sont surlignés. Par ailleurs, les éléments intégrés à la structure sont tous représentés : espaceurs, siliciuration, empilement de grille high-K-métal-Si poly. Les dimensions L_G pour la longueur de grille et t_{Si} pour l'épaisseur du canal sont également représentées. Cette image provient de [Mayer08a], et constitue donc une référence d'un dispositif fabriqué au CEA-LETI précédemment. Compte tenu des nécessités pour les TFETs d'un bon contrôle électrostatique, ce

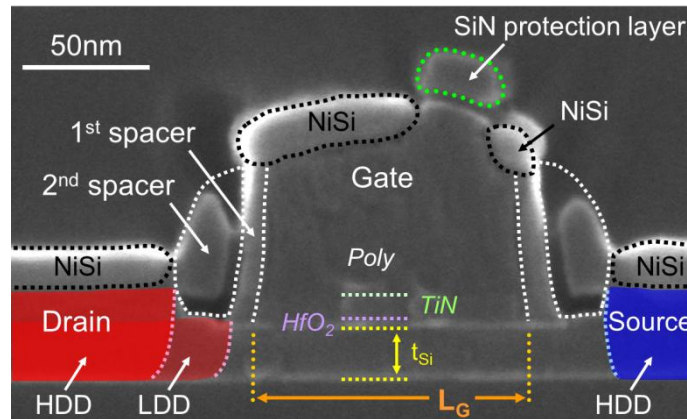


Figure I.4. Coupe SEM d'un transistor à effet tunnel sur SOI. La source (dopée N^+) et le drain (dopé P^+) sont mis en évidence. La structure PIN à grille est identique à celle utilisée dans un IMOS [Mayer08a].

sera le point commun de ces structures. Pour les TFETs planaires, il s'agit généralement du substrat SOI [Jeon10][Knoll13].

2. Transistor à effet tunnel orthogonal

Souvent considéré comme une amélioration apportée aux TFETs planaire, le passage latéral à orthogonal peut être réalisé avec peu de changements à la structure du transistor. La figure I.5 représente les schémas de deux TFETs planaires à tunneling longitudinal et orthogonal, proposé par exemple par [Morita13] et [Mallik13]. Le diagramme de bande lié au second dispositif est également fourni, et on peut le comparer à celui de la figure I.3. Le dispositif nécessite une gravure supplémentaire de la région canal, puis d'ajuster l'épithaxie du drain pour qu'elle recouvre la zone canal dégagée. Ceci permet à l'injection tunnel de s'effectuer orthogonalement à l'axe de la structure PIN (et dans le sens du champ électrique généré par la grille), offrant ainsi une surface d'injection supérieure, et pouvant donc augmenter le courant. Pour un canal de longueur L_G , de largeur W et d'épaisseur t_{Si} , le TFET à injection latérale possède une surface $SLAT = t_{Si} * W$, tandis que le transistor à tunneling orthogonal aura une surface d'injection $SORT = W * L_G$. L'augmentation de courant qui peut en résulter (car généralement $L_G > t_{Si}$) constitue le principal avantage espéré de ces dispositifs mais s'accompagne d'un inconvénient immédiat, à savoir que la densité de courant devient inversement proportionnelle à la longueur de grille (dépendance opposée à celle des CMOS).

Une fois ce point mis en évidence, il devient intéressant de comparer les densités de courant des TFET longitudinaux et orthogonaux, et de les normaliser par rapport aux dimensions idoines. Une telle étude a été entreprise par [Richter13] et [Ganapathi10], dont nous allons maintenant reprendre les résultats. La figure I.6 présente deux structures fabriquées afin de comparer les deux modes d'injection tunnel. Dans les deux cas, 1000 fils parallèles de 40nm de largeur ont été réalisés. Pour l'étude de l'injection orthogonale (A), l'épaisseur totale du canal est de 42nm, tandis qu'elle est de 35nm pour la structure à tunneling longitudinal (B). Les transistors fabriqués possédaient des longueurs de grille allant de 75nm à 2µm.

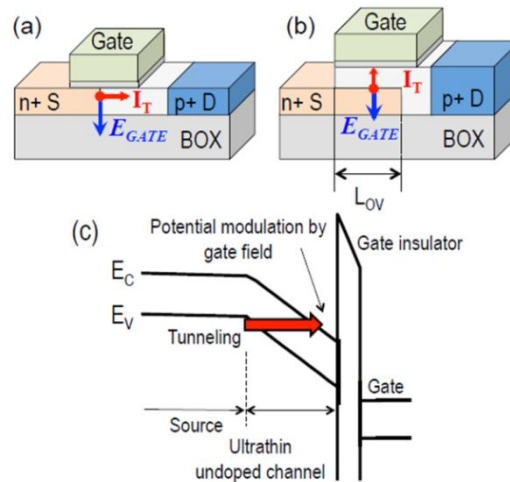


Figure I.5. Schémas d'une structure TFET à effet longitudinal a) et orthogonal b). L'utilisation d'une structure à effet orthogonal permet d'augmenter la surface disponible pour l'injection, mais va en contrepartie rendre le dispositif proportionnel à la longueur de grille. Le diagramme de bande correspondant est donné en c) [Morita13].

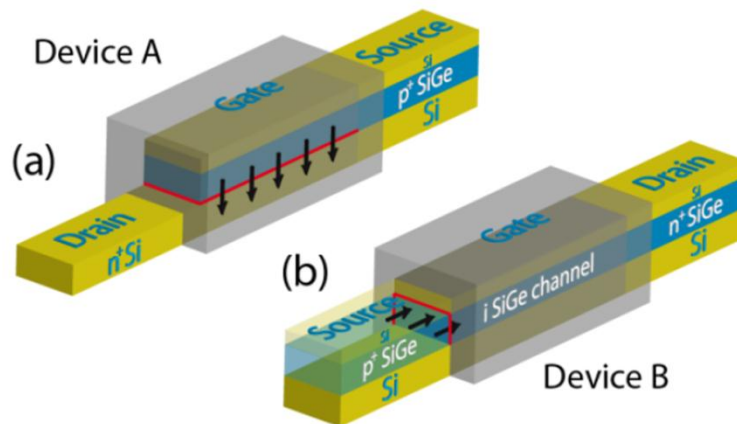


Figure I.6. Structures utilisées par [Richter13] afin de comparer l'effet tunnel orthogonal (structure A) et longitudinal (structure B) dans un nanofil. La structure A est un empilement de 9.4nm de silicium interfacial déposé sur 12.4 nm de $\text{Si}_{0.5}\text{Ge}_{0.5}$ sur 21nm de silicium. La structure B est un empilement de 5nm de Si sur 15nm de $\text{Si}_{0.5}\text{Ge}_{0.5}$ sur 15nm de Si.

Les caractéristiques électriques correspondantes pour des transistors de longueur de grille $L_G=2\mu\text{m}$ sont rapportées en figure I.7. Le dispositif A présente une pente sous le seuil minimale de 90mV/dec et un ratio de courant à l'état passant par rapport aux fuites à l'état bloqué de 8 décades, contre respectivement 220mV/dec et 6 décades pour le transistor B. Ces gains semblent indiquer un avantage pour l'injection tunnel orthogonale au niveau du contrôle électrostatique, toutefois, il est intéressant de relever que dans cette étude les auteurs ont utilisé une épaisseur semblable de HfO_2 de constante diélectrique voisine de 20 pour le dispositif A mais de l'alumine de constante diélectrique voisine de 9 pour B, ce qui malheureusement fausse l'étude de l'électrostatique dans ces dispositifs en diminuant de près de moitié la capacité de grille du dispositif B. Par ailleurs, malgré une capacité de grille réduite, on constate le courant de la structure A est supérieur d'un facteur 10 à celui de B, tandis que le ratio de leurs surfaces est de 60.

L'injection tunnel orthogonale semble donc tenir ses promesses dans le cas d'un transistors ne possédant aucune contrainte sur ses dimensions, mais indique qu'en cas de réduction des dimensions, l'injection longitudinale permettra d'atteindre des densités de courant plus élevées.

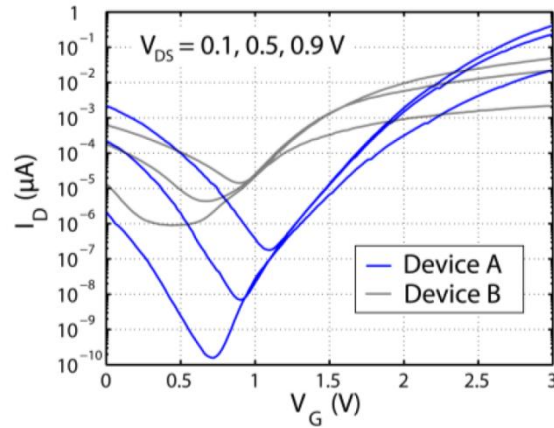


Figure I.7. Caractéristiques $I_D(V_G)$ des structures A et B présentées en figure I.6, pour des V_D de 0.1, 0.5 et 0.9V. Le courant I_{ON} de la structure A est plus important que celui de la structure B, ce qui s'explique par le fait que la longueur de grille de ces dispositifs est de $2\mu\text{m}$, donc la surface disponible pour l'effet tunnel orthogonal est bien plus importante que pour le tunneling latéral (facteur 100 entre les deux). Dans ce cas précis, à surface équivalente la densité de courant de la structure B est plus élevée [Richter13].

La figure I.8 est tirée d'une seconde étude sur le sujet, qui compare deux structures simulées, l'une présentant une poche de dopants N dans la source dopée P^+ . Comme on peut le constater, l'auteur simule ici une structure à double grille afin d'améliorer l'électrostatique du dispositif. L'épaisseur du canal simulé est de 10nm, tout comme la largeur de la poche. La caractéristique $I_D(V_G)$ simulée proposée dans la figure I.8 montre une légère amélioration du courant de fuite du transistor dans le cas de tunneling vertical que l'auteur attribue à la différence des longueurs de grille entre les deux structures (20nm pour a) et 30nm pour b) à cause de la longueur de la poche) puisque cette différence disparaît dans le cas d'un canal de longueur identique. La différence entre les courants à l'état passant est toutefois minime, l'auteur ne s'étend d'ailleurs pas dessus, et peut être attribuée au fait que la structure b) possède à la fois du tunneling orthogonal sous la poche et longitudinal sur le côté de la poche. Par ailleurs l'auteur constate dans cet article que si l'épaisseur du canal est trop faible (en dessous de 6nm), on n'observe plus d'injection tunnel orthogonale, notamment à cause de la déplétion de la source sous la poche de dopant.

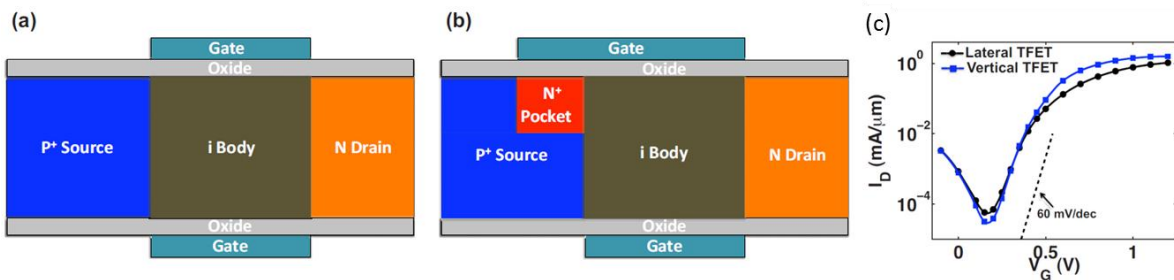


Figure I.8. Schéma de structures simulées par [Ganapathi10] basées sur l'effet tunnel longitudinal en a) et orthogonal en b). Les caractéristiques $I_D(V_G)$ correspondantes sont disponibles en c). La différence entre les deux orientations d'injection tunnel n'impacte que très faiblement le courant dans le transistor.

La simulation des dispositifs électriques est un monde impitoyable, et la calibration différente utilisée dans [Lattanzio12] permet à l'auteur d'obtenir dans les transistors simulés en figure I.9 deux régions d'accumulation différentes en utilisant des polarisations opposées sur les deux grilles de sa structure simulée (le canal est de la même épaisseur que dans l'étude précédente, à savoir 10nm). Ici, après avoir polarisé la grille supérieure avec une tension positive, et la grille inférieure avec une tension négative, l'auteur se retrouve dans la situation décrite en figure I.9.c), où les électrons sont accumulés dans la moitié supérieure du canal tandis que les trous s'accumulent dans la moitié inférieure. Si une différence de potentiel suffisante est appliquée les électrons pourront être injectés par effet tunnel depuis la partie inférieure de la grille vers la partie supérieure, générant un fort courant tunnel. L'intérêt principal de cette structure est que contrairement aux trois autres structures à tunneling orthogonal étudiées dans cette partie, elle ne nécessite aucune modification du procédé de fabrication, et peut être utilisée sur un TFET planaire, l'oxyde enterré pouvant servir de grille inférieure. Nous avons dans cette thèse obtenus expérimentalement des structures proches de celles simulées en figure I.9, et les caractérisations de ces dispositifs ne laissent pas apparaître l'injection tunnel orthogonale suggérée ici [Revelant14]. Une des hypothèses possibles est que la concentration de trous dans la moitié inférieure du canal est trop faible pour générer un courant significatif.

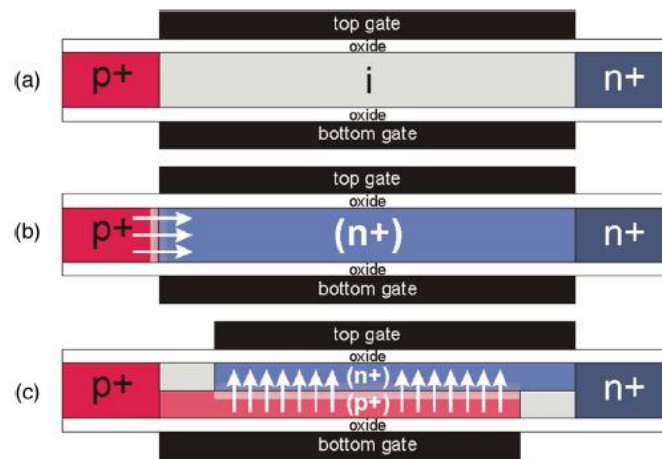


Figure I.9. Structure bicouche électron-trou sur germanium simulée par [Lattanzio12]. La structure a) représente la diode PIN à grille, qui devient b) en cas d'utilisation standard en TFET double grille. L'ajout d'une légère asymétrie et de polarisations opposées sur les deux grilles permet à l'auteur de simuler l'accumulation d'une couche d'électrons et d'une couche de trous dans le même canal, puis d'opérer du tunneling orthogonal entre elles. Ces résultats ont été mis en doute expérimentalement par [Revelant14].

3. Hétérojonctions et 'broken-gap'

Outre la structure du transistor, il est également possible de changer les matériaux afin d'améliorer ses performances. Dans les TFETs et contrairement au MOSFETs, les changements de matériaux n'ont pas vocation à améliorer la mobilité, qui n'a aucun impact sur le courant [Saurabh09]. En revanche, en se basant sur l'équation I.3.i) on remarque qu'un décalage des bandes d'énergie dans la source et dans le canal peut améliorer la pente sous le seuil. Ce même décalage des bandes d'énergie va également modifier la répartition de Fermi-Dirac et la densité d'états, dont influencer le courant. Utiliser des matériaux possédant une bande d'énergie interdite réduite permet d'atteindre cet objectif, mais augmentera les fuites dues à la recombinaison SRH. Pour contourner ce

problème, des transistors basés sur des hétérojonctions sont une solution [Verhulst08]. La figure I.10 montre le schéma d'une telle structure, dont la source est d'un matériau différent du canal et du drain. L'injection sera donc favorisée, tandis que les fuites ne sont augmentées que sur une petite partie du transistor (la source germanium).

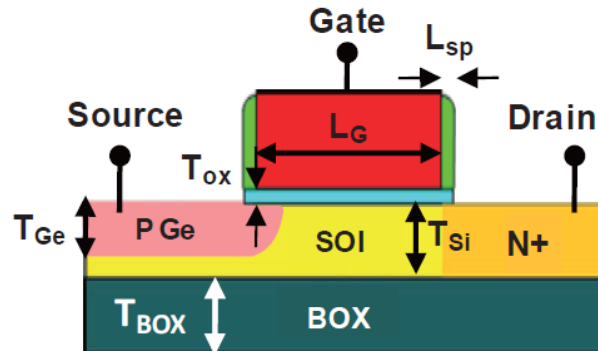


Figure I.10. Structure caractérisée par [Kim09], basée sur l'utilisation d'une hétérojonction entre la source, dopée P^+ , réalisée en germanium et le canal intrinsèque en silicium. Le faible bandgap du germanium permet de remplir les conditions de tunneling sur une plage restreinte de tension de grille, tandis que le canal en silicium permet d'assurer que le courant de fuite n'augmente pas.

Une structure verticale avec hétérojonction est présentée en figure I.11, issue de [Nayfeh09]. Ici le drain se trouve sur la face arrière de la plaque. La source est donc composée d'une couche de SiGe, dont la concentration de germanium est variable, tandis que le reste du transistor est en silicium. Cette architecture a également été étudiée par [Patel08] ou [Zhao11], avec des résultats similaires. Les caractéristiques $I_D(V_D)$ correspondant à des concentrations de germanium de 57% et 43% sont également rapportées. On constate une augmentation du courant de saturation de près d'une décade à polarisations égales. On pourra par ailleurs noter que les polarisations sont très élevées sur ces mesures, ce qui s'explique en partie par le fait que la structure soit sur du silicium massif et n'utilise pas d'oxyde de grille à forte constante diélectrique.

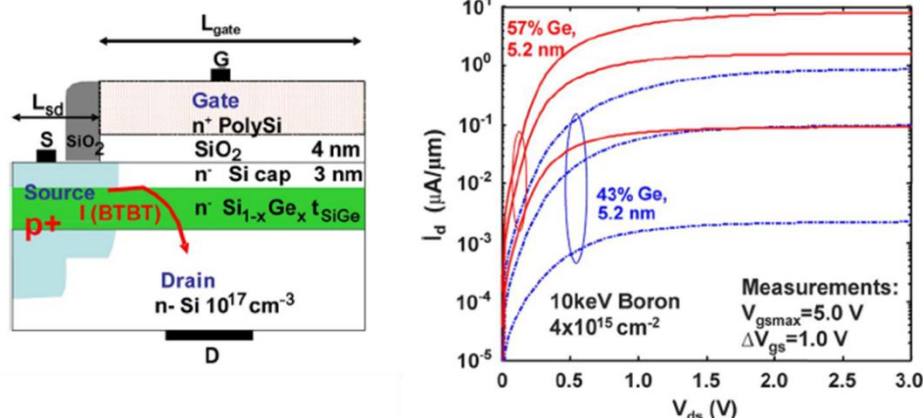


Figure I.11. Structure TFET avec source SiGe étudiée par [Nayfeh09], pour laquelle l'électrode placée en face arrière joue le rôle du drain, accompagnée de la caractéristique $I_D(V_D)$ associée, montrant un gain de courant obtenu en augmentant la concentration en germanium de la source.

Dans les cas les plus extrêmes, l'hétérojonction peut induire un décalage de bande tel que l'on ait une hétérojonction de type II, que l'on appellera par le terme anglais staggered-gap, puisque les bandes de conduction et de valence de la source sont chacune supérieure en énergie à leur équivalent coté canal. L'exemple fourni en figure I.12 se base sur une structure à source germanium pure et à canal en silicium contraint pour accentuer le phénomène. Le décalage des bandes peut être amplifié par l'ajout de contraintes mécaniques, le choix du matériau de grille, ou directement le choix des deux matériaux de l'hétérojonction. Par rapport à une hétérojonction simple, cette structure présente l'avantage d'encore améliorer la pente sous le seuil et le courant à l'état passant. Il est ainsi possible de trouver un compromis entre les difficultés de fabrication du matériau de source et celle de l'implémentation de la structure staggered-gap.

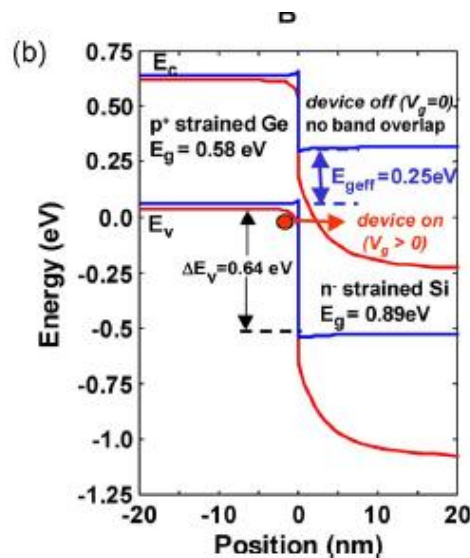


Figure I.12. Schéma de bandes relatif à un dispositif staggered-gap, fourni dans [Nayfeh08b]. L'effet attendu est similaire à une hétérojonction, et peut s'y combiner ; en décalant la bande de valence de la source, on facilite le passage dans une configuration où le tunneling est possible, et améliore pente sous le seuil et courant, sans impacter l'état bloquant.

La figure I.13 présente une comparaison détaillée de l'impact sur le diagramme de bandes de quatre structures expérimentales réalisées en matériau III-V : une homojonction, une homojonction avec ajout d'une couche de contre-dopage, une structure staggered-gap et une hétérojonction de type III (cas extrême du staggered-gap où les conditions d'injection tunnel sont remplies même à polarisation nulle), que l'on notera également sous sa forme anglaise de broken-gap. Le pic bleu sur les diagrammes de bande correspond au taux de génération BTBT. Le gain en courant observé entre une structure homojonction et le broken-gap est de trois décades, pour un gain de taux de génération BTBT de deux décades. Toutefois, malgré un gain démontré expérimentalement, les structures broken-gap planaires nécessitent généralement des matériaux particuliers, dont l'intégration avec les procédés de fabrication CMOS usuels est encore difficile.

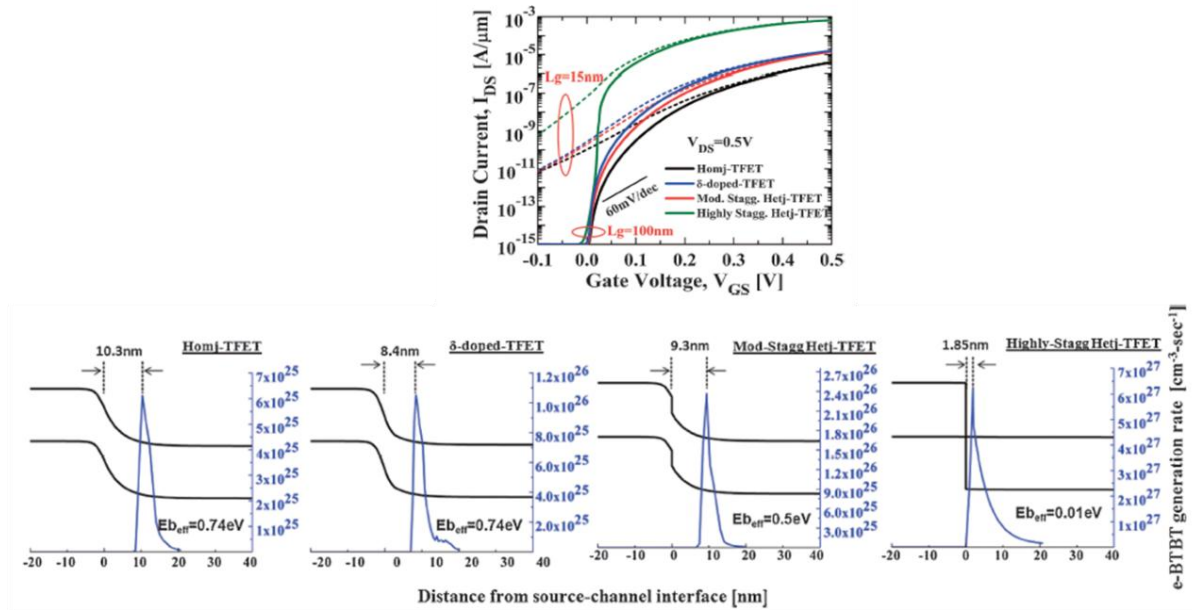


Figure I.13. Caractéristiques $I_D(V_G)$ de TFETs simulés présentant une structure source/canal avec homojonction (Homj-TFET), avec une couche de dopage opposé très fine (δ -doped TFET), staggered-gap (mod-Stagg TFET) ou bien broken-gap TFET (highly-Stagg. TFET) [Mohata11].

L'étude de [Smith11] sur l'architecture broken-gap sur III-V souligne également son intérêt pour la performance des TFET, mais note également que le transistor s'en trouvant en état passant par défaut, la grille doit désormais être utilisée pour bloquer le transistor. Pour s'affranchir des problèmes liés aux matériaux III-V, [Koswatta09a] [Koswatta09b] et [Koswatta10] présentent une étude sur des TFETs broken-gap réalisés à partir d'un nanotube de carbone. Il est possible lors de la fabrication du nanotube de choisir si le transistor sera staggered-gap ou broken-gap en contrôlant le dopage du tube. La figure I.14 représente les dispositifs simulés par [Koswatta10].

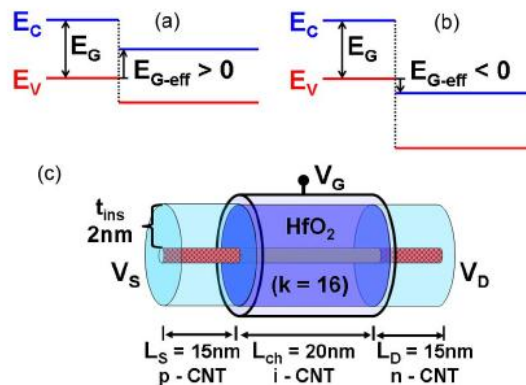


Figure I.14. Diagrammes de bande de structures staggered-gap (a) et broken-gap (b) ainsi que le schéma du nanofil correspondant (c). Ces dispositifs sont étudiés dans [Koswatta10]. Les transistors sont simulés à partir d'un nanotube de carbone (CNT).

Une structure innovante, différente mais basée sur le même principe est le FITFET (transistor à effet tunnel inter bande par effet de champ), proposé par [Song06] et [Koswatta07]. La figure I.15 représente le diagramme de bande d'un tel dispositif. La structure de base est celle d'un MOSFET standard, ici PNP, dans lequel on polarise la grille fortement en inverse, et le drain en direct. Ceci

permet d'obtenir l'injection de porteurs par effet tunnel bande à bande du drain vers le canal, puis en fonction de la polarisation de grille, l'injection du canal vers la source soit par effet tunnel inélastique assisté par des photons, soit par effet tunnel bande à bande direct. Le principal avantage de cette structure étant qu'elle utilise directement des dispositifs CMOS.

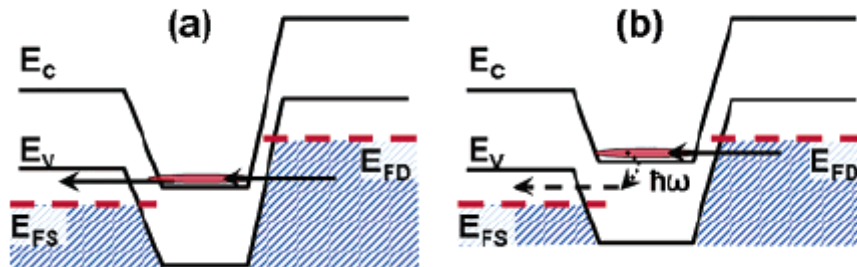


Figure I.15. Principe de fonctionnement d'une structure field-induced interband tunneling (FITFET) étudiée dans [Koswatta07]. Cette structure se base sur une architecture MOSFET habituelle (PNP dans le cas présent) et mise sur des polarisations de grille et de drain opposées pour permettre l'injection tunnel du drain vers le canal, puis du canal vers la source. Ce type de dispositif préfigure les structures broken-gap vers lesquelles les auteurs se sont ensuite tournés.

4. Asymétrie

Un autre axe d'étude pour la réalisation de TFETs est de rendre la structure asymétrique. Les structures asymétriques visent à dégrader l'une des jonctions, afin de supprimer l'ambipolarité du transistor. Dans un transistor ambipolaire, le courant utile dans un mode de fonctionnement devient une fuite dans le mode opposé, aussi rendre un TFET asymétrique devrait permettre d'obtenir des courants en état bloqué encore plus faibles. L'utilisation d'une hétérojonction suit ce principe, mais nous allons ici nous intéresser uniquement à des méthodes ne visant que l'obtention d'un dispositif asymétrique, et pas à une recherche de performances plus importantes. Le premier moyen d'y parvenir que nous allons étudier consiste à différencier les régions dopées N^+ et P^+ en variant les concentrations de dopants. Une telle étude est proposée dans [Schmidt12], et la figure I.16 présente des résultats de simulations de trois structures pour une concentration d'arsenic variable (le mode pTFET est ainsi dégradé). Les diagrammes de bande correspondant aux deux cas extrêmes sont également tracés et montrent que le courant tunnel correspondant au fonctionnement nTFET n'est pas impacté par ce changement, jusqu'à une concentration d'arsenic de 10^{14} cm^{-2} , à partir de laquelle l'augmentation des résistances de contact diminue également la performance du nTFET. On peut par contre observer que le courant du pTFET diminue immédiatement de plus d'une décade lors d'une réduction de la concentration d'As de 10^{15} à 10^{14} cm^{-3} , avant de s'établir à un niveau proche des fuites dans le cas extrême de 10^{13} cm^{-3} .

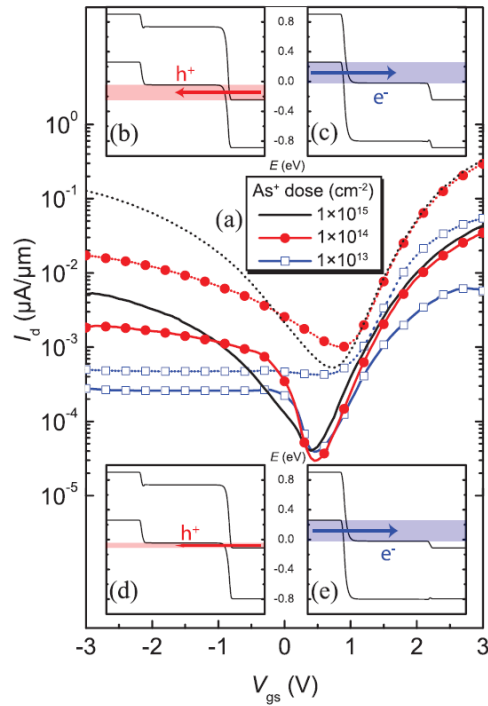


Figure I.16. Simulation de caractéristiques électriques de TFETs symétriques (dose d'implantation As à 10^{15} cm^{-2} , diagrammes de bande b) et c)) et asymétriques (doses d'implantation As de 10^{14} cm^{-2} et 10^{13} cm^{-2} , diagrammes de bande d) et e)). L'asymétrie du TFET supprime l'ambipolarité, en dégradant volontairement l'un des modes. L'objectif est d'améliorer le fonctionnement en polarisation inverse et ces résultats montrent qu'une légère asymétrie permet de l'accomplir, mais qu'une trop grande différence peut également dégrader l'état ON, en augmentant la résistance de drain [Schimdt12].

Une autre méthode originale pour introduire de l'asymétrie, rapportée dans [Najmzadeh10], consiste à utiliser un canal contraint et suspendu, entouré par l'empilement de grille, et dont la moitié est gravée afin de relâcher la contrainte à cette extrémité. Le schéma de la structure est proposé en figure I.17. Dans cette architecture, l'ajout de la contrainte dans le canal permet un gain de courant de saturation d'une décade au détriment d'une augmentation des fuites de 5 décades. Le TFET asymétrique garde le gain en courant de saturation (généralisé à la jonction N^+ /canal contraint), mais retrouve le niveau de fuite du canal relaxé (issu de la jonction P^+ /canal relaxé).

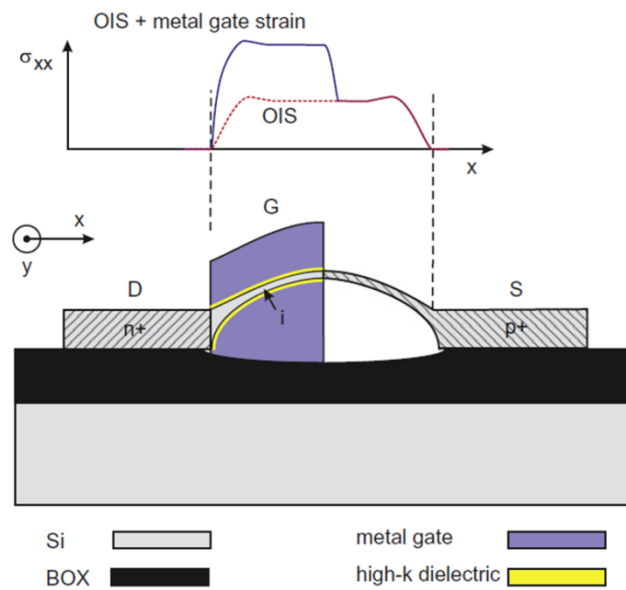


Figure I.17. TFET asymétrique obtenu en générant de la contrainte dans le canal suspendu, qui se relâche en absence de grille. La contrainte du silicium dans le canal devrait augmenter le courant I_{ON} dans le TFET, sans toutefois dégrader l'état bloqué grâce à l'asymétrie [Najmzadeh10].

En plus d'apporter une asymétrie sur la contrainte du canal, le transistor de la figure I.17 présente également une asymétrie au niveau de la position de la grille, qui fait que le champ électrique généré par la grille est quasi nul à l'une des jonctions, y supprimant l'injection tunnel bande-à-bande. Cette idée est également développée dans de nombreuses autres études, dont [Verhulst07], [Yeo10] et [Zhang06]. La figure I.18 présente le dispositif simulé par [Verhulst07]. Ici la grille n'est présente que du côté de la jonction source/canal, afin de complètement désactiver le mode pTFET. Cette fois encore, les simulations réalisées prédisent une diminution de 5 décades des fuites, pour une réduction mineure du courant de saturation due à la résistance du canal intrinsèque. Par ailleurs cette perte de courant de saturation est réduite lorsque la longueur du canal diminue, puisque la part couverte par la grille augmente alors.

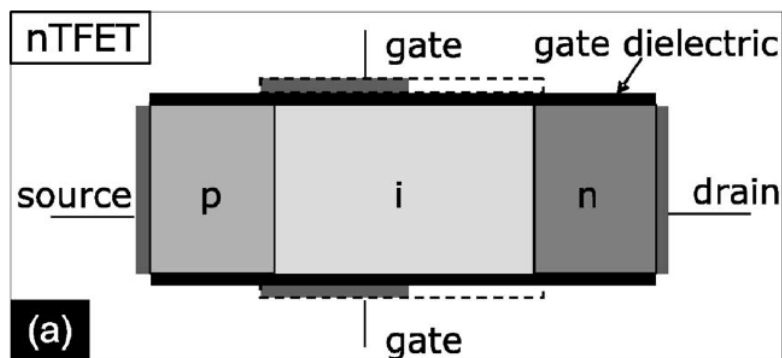


Figure I.18. La façon la plus directe de créer une asymétrie dans les TFET est sans doute de décaler la grille afin qu'elle ne recouvre qu'une interface. Dans le cas d'un TFET, la dépendance de l'injection au champ électrique local fait que la jonction non recouverte est rapidement désactivée [Verhulst07].

Une application originale basée sur une TFET dont la grille ne recouvre pas tout le canal est le Z²-FET (zéro ionisation par impact, zéro pente sous le seuil) présenté dans [Wan12] ainsi qu'en figure I.19. Le fonctionnement du Z²-FET est proche de celui d'un thyristor, la grille avant est utilisée pour créer une accumulation de trous (dans la région labélisée L_G, qui sera donc pseudo P⁺), tandis que la grille arrière va commander une accumulation d'électrons dans la région pseudo N⁺ labélisée L_{IN}. La création de la région pseudo P⁺ permettra à des électrons d'être injecté par effet tunnel dans le canal, facilitant l'accumulation de la région pseudo N⁺. De la même façon, la région pseudo N⁺ permettra à des trous d'être injectés par effet tunnel dans le canal, facilitant l'accumulation de la région pseudo P⁺. La boucle de rétroaction entre ces deux régions, qui s'autoalimentent en porteurs, fait que l'injection tunnel dans le transistor peut s'activer de manière abrupte, et très rapide. Les caractérisations électriques des Z²-FET montrent des pentes sous le seuil inférieures à 1mV/dec et des rapports entre courant à l'état saturé et à l'état bloqué de 8 décades.

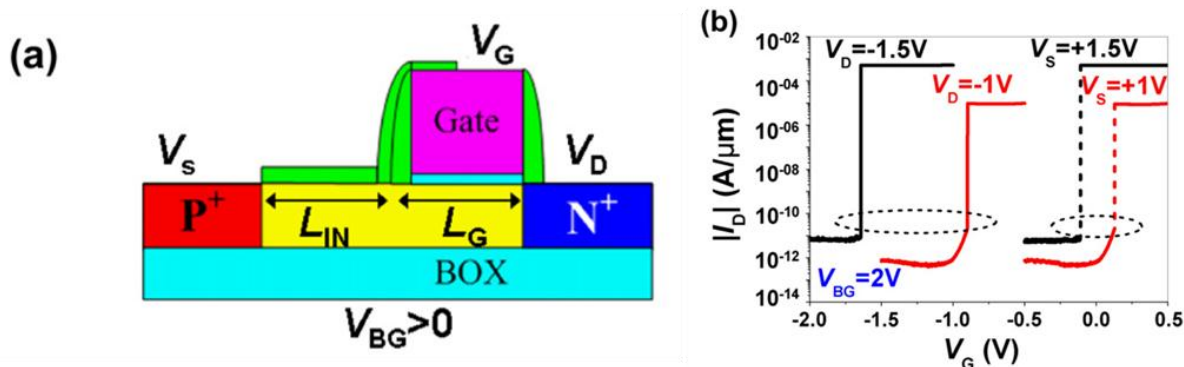


Figure I.19. a) Schéma du dispositif Z²-FET, où la grille contrôlera la région L_G , y générant une accumulation de trous, tandis que la grille arrière contrôlera la région L_{IN} , y accumulant des électrons. Chaque région d'accumulation permettra l'injection par effet tunnel d'un type de porteurs avec la source ou le drain, entraînant une rétroaction qui amplifiera l'accumulation dans la seconde zone. Ceci permet d'obtenir un basculement très abrupt du transistor, avec des pentes inférieures à 1mV/dec, telles que présentées dans la caractéristique b). [Wan12].

Un dérivé de cette structure consiste à couvrir tout le canal avec la grille, mais à légèrement décaler la source et le drain. Sur ce point, les résultats sont encore controversés. L'étude de [Anghel11] porte sur l'impact de la position de la jonction source/canal par rapport à la position physique de la grille, dans le cas d'une architecture double grille dont on varie la constante diélectrique de l'oxyde de grille, des espaceurs ou des deux. Les résultats sont rapportés en figure I.20, où l'on trouve que le cas de matériau low-K amène à des courants plus faibles que des matériaux high-K. Par ailleurs, l'auteur rapporte un phénomène intéressant, qui est que dans le cas de structures où l'oxyde de grille et les espaceurs possèdent la même constante diélectrique, la position de la jonction par rapport à la position physique de la grille n'a que très peu d'importance, mais qu'un optimum apparaît dans le cas d'un oxyde de grille high-K et d'espaceurs low-K, pour un décalage vers la source de 3nm. Enfin cet optimum présente un gain de courant de plus d'une décade par rapport au cas où tous les oxydes sont high-K. L'auteur attribue ce gain à la quantité de porteurs qui est maximale à quelques nanomètres de la position physique de la grille (ici à trois nanomètres dans la source).

L'étude de [Toh07] est plus ancienne mais porte sur la même structure (espaceurs low-K et oxyde de grille high-K), avec la différence notable que la source est ici d'un matériau différent du canal (SiGe et Si respectivement). Les résultats de cette étude sont rapportés en figure I.20, et montrent qu'une pénétration de l'hétérojonction de 4nm dans le canal permet d'atteindre un optimum de courant de courant de saturation, tout en augmentant les fuites.

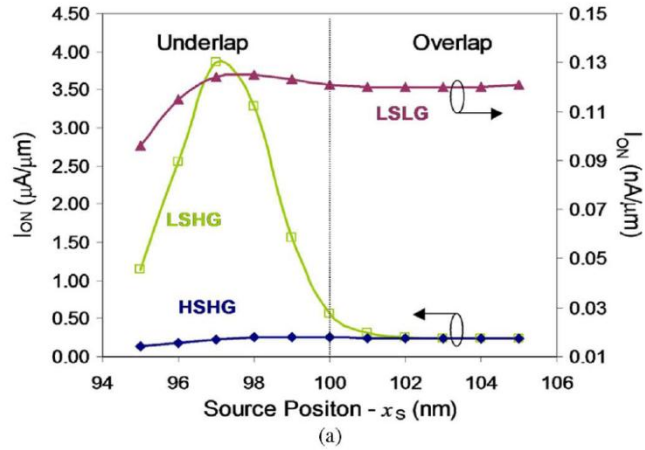


Figure I.20. Simulations de courant dans un TFET pour différentes valeurs d'overlap ou d'underlap de la grille avec la jonction tunnel. Les structures étudiées correspondent à des diélectriques low-K pour les espaceurs et low-K pour la grille (LSLG), low-K pour les espaceurs et high-K sous la grille (LSHG) et high-K dans les espaceurs et sous la grille (HSHG). La structure LSHG présente un maximum pour un underlap de la jonction par rapport à la grille, du fait de la concentration plus importante de porteurs à cette position [Anghel11].

L'auteur attribue ce gain maximum à l'effet du champ électrique sur l'hétérojonction, qui est maximal à cette position, et favorise donc un courant tunnel fort. Ces deux dernières figures sont un exemple typique des problèmes rencontrés lors de l'étude des TFETs, le changement d'un seul paramètre, qui parfois semble non lié à l'étude, peut amener à des résultats opposés, comme c'est le cas ici, où seule la présence ou non d'une hétérojonction entre la source et le canal inverse la donne.

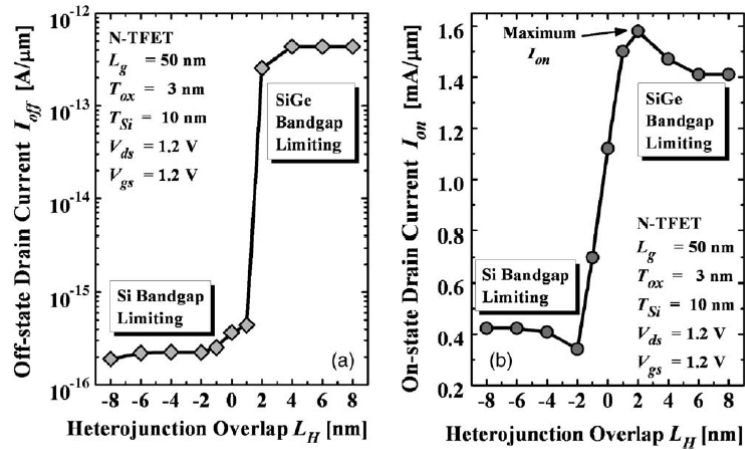


Figure I.21. Extraction du courant simulé dans un TFET pour différentes valeurs d'overlap ou d'underlap de la grille avec la jonction source/canal. Ces TFETs ne possèdent pas de spacer simulé, mais un oxyde de grille high-K, et se retrouvent donc d'office dans la catégorie LSHG de la figure I.20. Les résultats sont ici opposés, puisque le maximum de courant I_{ON} (à droite) s'obtient dans le cas d'une jonction présentant un overlap avec la grille. Par ailleurs, le courant I_{OFF} (à gauche) augmente lui aussi dans ce cas, de plusieurs décades [Toh07].

Par ailleurs, nous citerons sans approfondir quelques études originales réalisées par le biais de simulations. [Yang12] présente une structure proche de celles des figures I.20 et I.21, où la source s'enfonce dans le canal en forme de coin, présentant une structure hybride entre injection tunnel latérale et orthogonale résultant en un gain de courant, le tout asymétrique puisque seule la jonction

source/canal profite de ce traitement. L'auteur met également en avant une réduction de la variabilité du courant et des pentes dans de telles structures.

Le transistor proposé par [Zhan12] possède une structure PIP, où seule une moitié du canal est recouverte par la grille, et qui possède du côté non couvert une poche dopée N^+ , qui ne sert pas à augmenter le courant, mais à créer une barrière de potentiel afin de réduire les fuites encore plus. En régime de saturation cette barrière est réduite par la circulation des porteurs.

5. Poches de dopants

Dans cette partie nous reviendrons sur l'utilisation de poches de dopants à des fins d'amélioration du courant, ou de réduction des pentes. L'utilisation de poches de dopants (opposé au dopage de source) dans le canal permet de modifier la structure de bande en rendant la jonction source/canal plus abrupte. Cela crée également un décalage de bandes plus grand entre deux régions de dopages opposés qu'entre une région dopée et le canal intrinsèque, et se rapproche ainsi d'une architecture staggered-gap. La première étude que nous présentons ici est celle de [Jhaveri11], dont la structure simulée ainsi que les courbes électriques extraites, est représentée dans la figure I.22. Ici, l'auteur utilise une poche N^+ de même profondeur que la source P^+ , sous la grille. Le gain en performance est étudié en fonction du niveau de dopage dans la poche, dont l'augmentation permet d'accroître le courant de saturation, décale le passage du régime bloqué au régime sous le seuil, et impacte positivement la valeur de la pente sous le seuil.

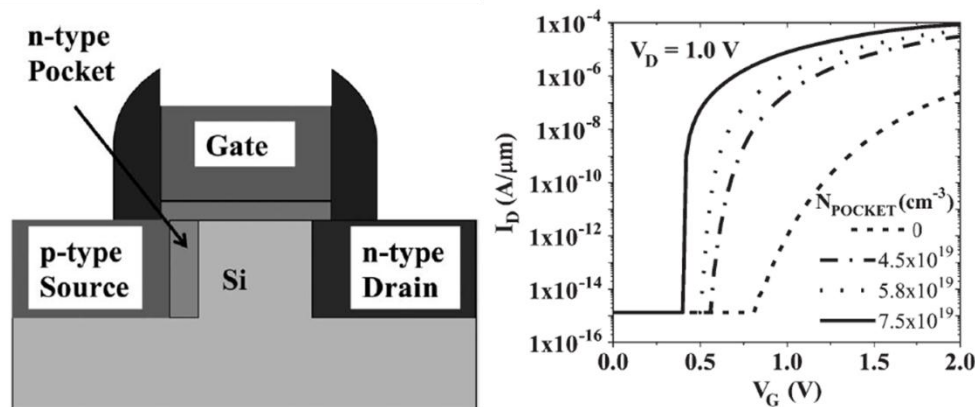


Figure I.22. Simulation d'un TFET présentant une poche de dopant entre la source et le canal [Jhaveri11]. La structure est montrée à gauche et les caractéristiques $I_D(V_G)$ associées à droite. Ce système doit permettre de réaliser l'injection BTBT directement entre la source et la poche, en créant localement une plus grande abrupte de bande diminuant ainsi la longueur effective de tunneling, et se rapproche en cela des structures staggered-gap. Le dopage de la poche de dopant est identifié dans cette publication comme le principal contributeur à l'augmentation de courant, comme les caractéristiques électriques simulées le démontrent.

La figure I.23 présente deux structures simulées, étudiées par [Kao12b] et [Hu08]. Ici les poches sont situées sous la grille, et visent donc, en plus des effets mentionnés à obtenir une injection tunnel orthogonale. La structure étant par ailleurs asymétrique, on retrouve ici une combinaison de toutes les idées développées précédemment. Les gains obtenus dans ces simulations sont comme attendu, plus de courant, moins de fuites et une pente sous le seuil améliorée.

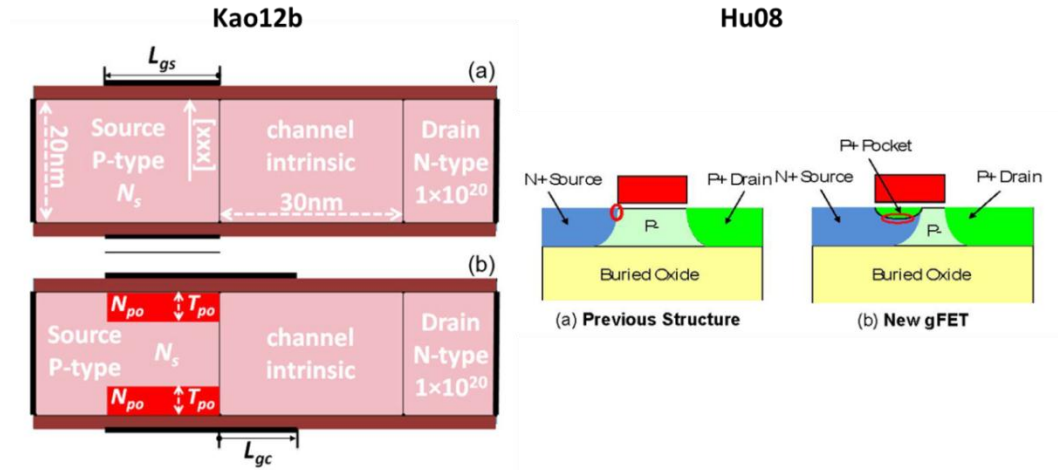


Figure I.23. Autres exemples de structures utilisant une poche de dopants. Dans ces deux cas [Kao12b] et [Hu08], ceci permettra de passer d'un mode de tunneling longitudinal à un tunneling orthogonal.

La figure I.24 présente une structure utilisant un drain simulée par [Wan13] à partir d'une couche N^+ directement surmontée d'une couche P^+ , qui peut être obtenue par dopage. La couche P^+ établira la structure PIN, donc le TFET, dont le courant se retrouve ensuite utilisé comme courant de base d'un transistor bipolaire, qui va donc l'amplifier. Le principe est donc de conserver la capacité du TFET à obtenir une pente sous le seuil abrupte, mais de contrer son mauvais courant par une amplification bipolaire (d'où le nom du dispositif : BET-FET pour bipolar enhanced TFET). De plus, si les deux grilles gauche et droite sont polarisées indépendamment, cette structure devient une porte XOR. Dans son état bloqué, avec les deux grilles polarisées à 0V, le TFET est inactif, donc le BET-FET également. Si l'une des grille est polarisée à V_G négatif, le TFET s'active, et le bipolaire également. Toutefois, si les deux grilles sont polarisées à V_G négatif, le TFET est amélioré, mais le courant de trous du transistor bipolaire ne peut plus rejoindre le collecteur, désactivant ainsi le dispositif.

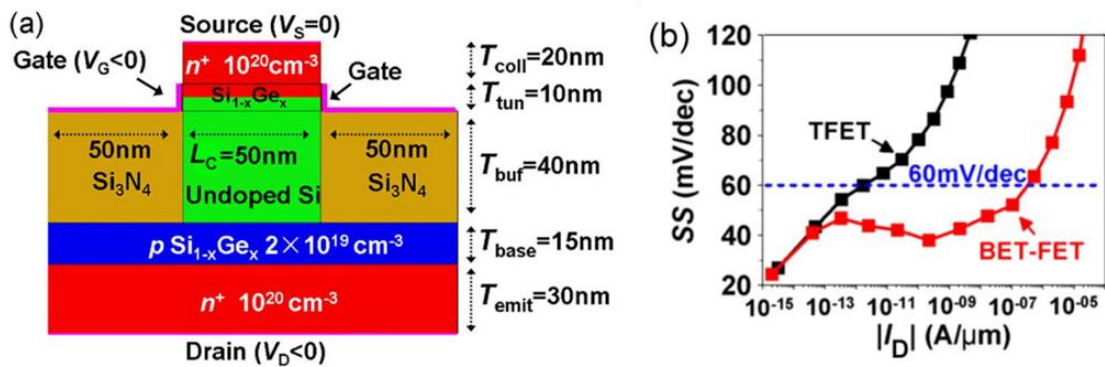


Figure I.24. Simulation d'un BET-FET par [Wan13]. BET-FET est l'acronyme de Bipolar enhanced TFET. Le schéma du dispositif est fourni en a), avec ici la structure TFET visible de haut en bas comme un NIP, tandis que les électrodes du transistor bipolaire intégré sont la base dans la couche P^+ inférieure, l'émetteur dans la couche N^+ inférieure et le collecteur dans la couche N^+ supérieure. Le tracé de la pente en fonction du courant en b) montre l'effet de l'amplification du courant sur la région de pente inférieure à 60mV/dec.

6. Changement de matériaux

Nous allons achever cet inventaire des différentes structures de TFETs, et, comme dans le cas du paragraphe précédent, des combinaisons possibles de celles-ci, en détaillant quelques études sur des transistors réalisés sur des matériaux différents du silicium, quelle que soit l'architecture utilisée, et les gains espérés. Nous avons déjà mentionnés les matériaux III-V lors de la présentation de la figure I.13, et nous allons commencer par les études qui y sont liées. Les matériaux III-V étant constitués d'alliages, parfois ternaires ou quaternaires, dont le contrôle de la stœchiométrie autorise une grande latitude sur les propriétés électriques, il est très aisé de les utiliser afin de créer des structures de types hétérojonction, staggered-gap voire broken-gap. Des réalisations expérimentales sont disponibles dans [Dewey11][Dewey12], [Mohata11] et [Li12], démontrant la faisabilité de ces dispositifs, mais également la présence de défauts dégradant les pentes sous le seuil.

Un autre matériau envisagé, comme nous l'avons montré dans la figure I.14 est le carbone, sous forme de nanotube ou de ruban de graphène. Comme les III-V, ces deux matériaux offrent un bon niveau de contrôle et peuvent facilement former une structure staggered-gap, en plus d'offrir des propriétés électroniques uniques. Nous montrons en figure I.25 une réalisation expérimentale tirée de [Appenzeller04] utilisant un nanotube de carbone pour la réalisation d'un TFET. Le courant de ce dispositif expérimental reste faible, et les pentes élevées, mais des mesures en température permettent clairement d'identifier l'injection tunnel (nous détaillerons le comportement des TFETs en température au chapitre suivant).

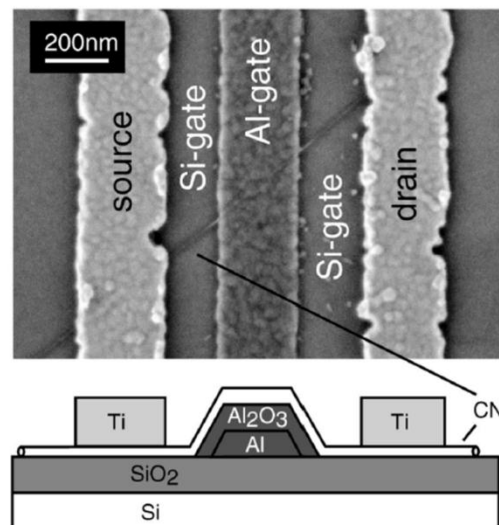


Figure I.25. TFET réalisé sur un nanofil de carbone par [Appenzeller04], une image SEM des dispositifs fabriqués étant proposée en haut, et un schéma de principe en bas. L'étude porte sur l'utilisation des nanotubes de carbone afin de réaliser des FITFETs PNP, dont le courant I_{ON} reste faible (10^{-9} A par fil) mais dont l'injection BTBT est clairement mise en évidence par des mesures en température.

Par ailleurs de nombreuses simulations ont été réalisées en utilisant ces matériaux pour étudier les TFETs, en partie à cause de leurs propriétés électriques, mais également car il est plus facile de les simuler que de les fabriquer. Différentes études détaillent les améliorations de courant espérées, notamment [Gao09][Fiori09] pour les études sur le graphène, [Yoon10] avec un TFET à canal en nanotube de carbone, et des régions source et drain en graphène. La figure I.26 est tirée de [Zhang08] dont les simulations enthousiastes d'un TFET réalisé sur graphène indiquent des pentes à

0.19mV/dec ce qui passerait le transistor de bloquant à saturé en moins de 50mV. L'auteur oublie néanmoins de préciser qu'étant donné la précision sur le contrôle des tensions dans un circuit, l'état bloqué d'un tel transistor ne serait pas pris à $V_G=0V$ mais à une tension de grille négative d'au moins une centaine de millivolts.

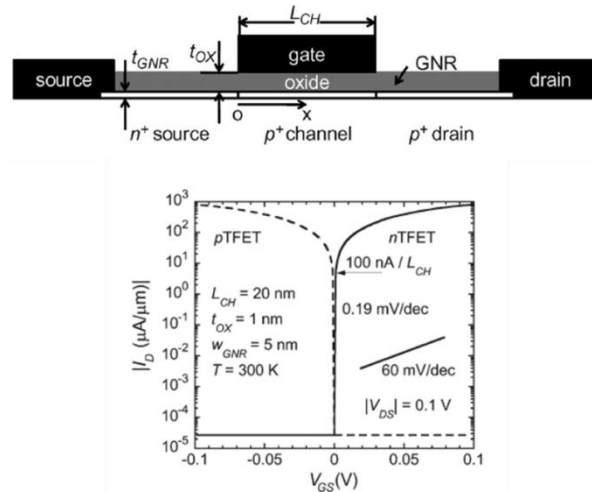


Figure I.26. Présentation d'un TFET sur nano-ruban de graphène étudié par [Zhang08]. Les simulations réalisées sur ce dispositif donnent des caractéristiques $I_D(V_G)$ telles que celle fournie, avec des pentes sous le seuil de 0.19mV/dec.

On peut également citer dans cette approche [Alam14] qui étudie les propriétés du germanium sous différentes orientations cristallines et leur impact sur les performances du TFET.

Une dernière approche, développée dans [Cui11], et rapportée en figure I.27 consiste à changer le matériau de grille. Un changement monolithique du métal de grille permet généralement d'accentuer ou de faciliter l'obtention d'une structure staggered-gap, toutefois, l'auteur de cette étude propose de scinder la grille en deux parties, créant un dispositif asymétrique. La partie de la grille proche de la jonction utilise un métal dont le travail de sortie est optimisé afin de briser le gap au niveau de la jonction physique source/canal. Le reste de la grille est lui constitué d'un métal plus standard, assurant un contrôle sur l'ensemble du canal. Ce dispositif peut être vu comme une amélioration du transistor de la figure I.18 car il résout le problème de résistance qui apparaît si une trop grande part du canal n'est pas couverte par la grille, tout en améliorant l'injection tunnel. Toutefois, d'un point de vue pratique, la réalisation d'une telle structure créerait plus de problèmes qu'elle n'en résoudrait.

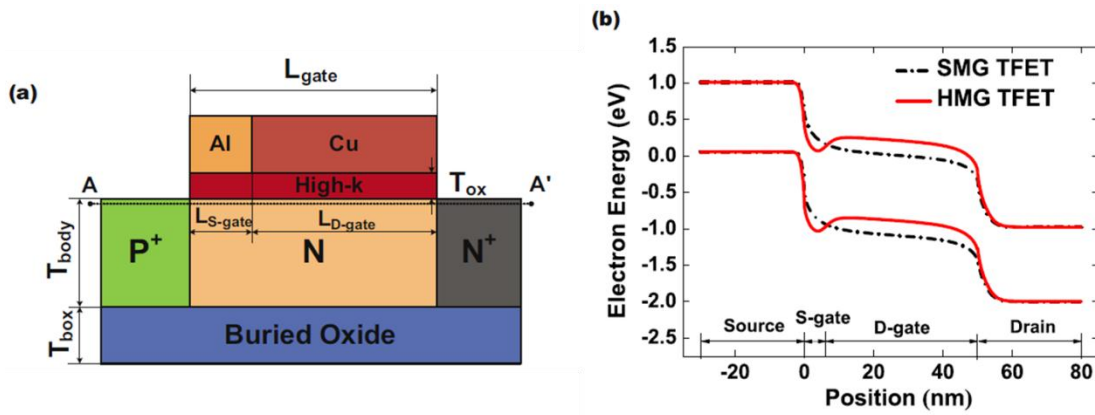


Figure I.27. Simulation d'un TFET dont la grille est dédoublée, et diagramme de bandes associé [Cui11]. La présence de deux matériaux différents dans la grille doit agir de la même façon que la poche de dopants de [Jhaveri11], en augmentant l'abrupte des bandes d'énergie au niveau de la jonction source/canal, diminuant ainsi la longueur effective de tunneling.

C. Choix de l'étude

Dans cette partie, après une brève introduction expliquant l'intérêt des structures TFETs par rapport au MOSFET dans une perspective de réduction continue des tensions d'alimentation, nous avons introduit plusieurs structures dont le point commun est de présenter une transition plus abrupte entre l'état bloqué et passant que ce que le MOSFET peut physiquement atteindre. La comparaison de ces structures montrait que le TFET était un candidat dont les défauts nous semblent plus aisés à corriger que ceux de ses concurrents. Nous avons donc ensuite répertorié les différents résultats déjà publiés sur ce dispositif, plus particulièrement du point de vue des architectures et de la structure. Parmi les différentes structures et matériau présentés ici, nous avons choisi de nous focaliser dans la suite de nos travaux sur les procédés de fabrication compatibles avec les technologies CMOS industrielles (ce qui exclut les matériaux III-V, le graphène ou les nanofils de carbone). Nous avons également fait le choix de garder des architectures symétriques, ce qui nous permet de caractériser les TFETs dans les deux modes de fonctionnement. Ce choix est porté par la possibilité ainsi offerte de caractériser plus de transistors avec le même nombre de dispositifs (chaque TFET comptant alors double), et d'affiner ainsi notre compréhension des résultats obtenus. Les dispositifs expérimentaux que nous caractériserons dans les chapitres suivants seront donc réalisés sur du FDSOI planaire, les dimensions de certains dispositifs étant réduites au point de se transformer en nanofil de silicium. Enfin, l'utilisation de SiGe dans les CMOS avancés nous permettra également de réaliser des études sur les hétérojonctions.

D. Bibliographie

[Akarvardar07] K. Akarvardar, D. Elata, R. Parsa, G.C. Wan, K. Yoo, J. Provine, P. Peumans, R. T. Howe, and H.S. P. Wong, "Design Considerations for Complementary Nanoelectromechanical Logic Gates," in Proc. Int. Electron Devices Meeting, pp.299-302, 2007.

[Alam14] K. Alam, S. Takagi and M. Takenaka, "A Ge Ultrathin-Body n-Channel Tunnel FET: Effects of Surface Orientation," IEEE Trans. Electron Devices, issue 99, 2014.

- [Anghel11] C. Anghel, H. Hraziia, A. Gupta, A. Amara and A. Vladimirescu, "30-nm Tunnel FET With Improved Performance and Reduced Ambipolar Current," *IEEE Trans. Electron Devices*, vol. 58, no. 6, pp. 1649-1654, 2011.
- [Appenzeller04] J. Appenzeller, Y.M. Lin, J. Knoch and P. Avouris, "Band-to-Band Tunneling in Carbon Nanotube Field-Effect Transistors," *Phys. Rev. Lett.*, vol. 93, 2004.
- [Aydin04] C. Aydin, A. Zaslavsky, S. Luryi, S. Cristoloveanu, D. Mariolle, D. Fraboulet and S. Deleonibus, "Lateral interband tunneling transistor in silicon-on-insulator," *Appl. Phys. Lett.*, vol. 84, 2004.
- [Baba92] T. Baba, "Theory of Tunneling," *Jap. J. Appl. Phys.*, vol. 32, no. 1, 1961.
- [Björk07] M. T. Björk, O. Hayden, H. Schmid, H. Riel and W. Riess, "Vertical surround-gated silicon nanowire impact ionization field-effect transistors," *Appl. Phys. Lett.*, vol. 90, 2007.
- [Cui11] N. Cui, R. Liang and J. Xu, "Heteromaterial gate tunnel field effect transistor with lateral energy band profile modulation," *Appl. Phys. Lett.*, vol. 98, 2011.
- [Dewey11] G. Dewey, B. Chu-Kung, J. Boardman, J.M. Fastenau, J. Kavalieros, B. Kotlyar, W.K. Liu, D. Lubyshev, M. Metz, N. Mukherjee, P. Oakey, R. Pillarisetty, M. Radosavljevic, H.W. Then and R. Chau, "Fabrication, characterization, and physics of III–V heterojunction tunneling Field Effect Transistors (H-TFET) for steep sub-threshold swing," in *Proc. Int. Electron Devices Meeting*, 2011.
- [Dewey12] G. Dewey, B. Chu-Kung, R. Kotlyar, M. Metz, N. Mukherjee and M. Radosavljevic, "III–V field effect transistors for future ultra-low power applications," *VLSI Symp. Tech. Dig.*, 2012, pp.45-46.
- [Fiori09] G. Fiori and G. Iannaccone, "Ultralow-Voltage Bilayer Graphene Tunnel FET," *IEEE Electron Device Lett.*, vol. 30, no. 10, pp.1096-1098, 2009.
- [Ganapathi10] K. Ganapathi, Y. Yoon and S. Salahuddin, "Analysis of InAs vertical and lateral band-to-band tunneling transistors: Leveraging vertical tunneling for improved performance," *Appl. Phys. Lett.*, vol. 97, 2010.
- [Gao09] Y. Gao, T. Low and M. Lundstrom, "Possibilities for VDD = 0.1V logic using carbon-based tunneling field effect transistors," *VLSI Symp. Tech. Dig.*, 2009, pp.180-181.
- [Gnani13] E. Gnani, A. Gnudi, S. Reggiani and G. Baccarani, "Drain-conductance optimization in nanowire TFETs by means of a physics-based analytical model," *Solid State Elec.*, vol. 84, pp. 96-102, 2013.
- [Hu08] C. Hu, D. Chou, P. Patel and A. Bowonder, "Green Transistor - A VDD Scaling Path for Future Low Power ICs," *VLSI Symp. Tech. Dig.*, 2008, pp.14-15.
- [Hurkx92] G.A.M. Hurkx, D.B.M. Klaassen and M.P.G. Knuvers, "A new recombination model for device simulation including tunneling," *IEEE Trans. Electron Devices*, vol. 39, no. 2, pp. 331-338, 1992.
- [Jeon10] K. Jeon, W.Y. Loh, P. Patel, C.Y. Kang, J. Oh, A. Bowonder, C. Park, C.S. Park, C. Smith, P. Majhi, H.H. Tseng, R. Jammy, T.J. King Liu and C. Hu, "Si tunnel transistors with a novel silicided source and 46mV/dec swing," *VLSI Symp. Tech. Dig.*, 2010, pp.121-122.
- [Jhaveri11] R. Jhaveri, V. Nagavarapu and J.C.S. Woo, "Effect of Pocket Doping and Annealing Schemes on the Source-Pocket Tunnel Field-Effect Transistor," *IEEE Trans. Electron Devices*, vol. 58, no. 1, pp. 80-86, 2011.

[Kane61] E. Kane J., "Theory of Tunneling," J. Appl. Phys., vol. 32, no. 1, 1961.

[Kao12a] K.H. Kao, A.S. Verhulst, W.G. Vandenberghe, B. Soree, G. Groeseneken and K. de Meyer, "Direct and Indirect Band-to-Band Tunneling in Germanium-Based TFETs," IEEE Trans. Electron Devices, vol. 59, no. 2, pp. 292-301, 2012.

[Kao12b] K.H. Kao, A.S. Verhulst, W.G. Vandenberghe, B. Soree, W. Magnus, D. Leonelli, G. Groeseneken and K. de Meyer, "Optimization of Gate-on-Source-Only Tunnel FETs With Counter-Doped Pockets," IEEE Trans. Electron Devices, vol. 59, no. 8, pp. 2070-2077, 2012.

[Kim09] S.H. Kim, H. Kam, C. Hu and T.K. Liu, "Germanium-source tunnel field effect transistors with record high ION/IOFF," VLSI Symp. Tech. Dig., 2009, pp.178-179.

[King12] T.J. King Liu, L. Hutin, I.R. Chen, R. Nathanael, Y. Chen, M. Spencer and E. Alon, "Recent progress and challenges for relay logic switch technology," VLSI Symp. Tech. Dig., 2012, pp.43-44.

[Knoll13] L. Knoll, Q.T. Zhao, A. Nichau, S. Richter, G.V. Luong, S. Trellenkamp, A. Schafer, L. Selmi, K.K. Bourdelle and S. Mantl, "Demonstration of improved transient response of inverters with steep slope strained Si NW TFETs by reduction of TAT with pulsed I-V and NW scaling," in Proc. Int. Electron Devices Meeting, 2013.

[Koswatta07] S.O. Koswatta, M.S. Lundstrom and D.E. Nikonov, "Band-to-Band Tunneling in a Carbon Nanotube Metal-Oxide-Semiconductor Field-Effect Transistor Is Dominated by Phonon-Assisted Tunneling," Nano Lett., vol. 7, no.5, pp.1160-1164, 2007.

[Koswatta09a] S.O. Koswatta, M.S. Lundstrom and D.E. Nikonov, "Performance Comparison Between p-i-n Tunneling Transistors and Conventional MOSFETs," IEEE Trans. Electron Devices, vol. 56, no. 3, pp. 456-465, 2009.

[Koswatta09b] S.O. Koswatta, S.J. Koester and W. Haensch, "1D broken-gap tunnel transistor with MOSFET-like on-currents and sub-60mV/dec subthreshold swing," in Proc. Int. Electron Devices Meeting, 2009.

[Koswatta10] S.O. Koswatta, S.J. Koester and W. Haensch, "On the Possibility of Obtaining MOSFET-Like Performance and Sub-60-mV/dec Swing in 1-D Broken-Gap Tunnel Transistors," IEEE Trans. Electron Devices, vol. 57, no. 12, pp. 3222-3230, 2010.

[Lattanzio12] L. Lattanzio, L. De Michielis and A.M. Ionescu, "Complementary Germanium Electron-Hole Bilayer Tunnel FET for Sub-0.5-V Operation," IEEE Electron Device Lett., vol. 33, no. 2, pp.167-169, 2012.

[Li12] R. Li ; Y. Lu, G. Zhou, Q. Liu, S.D. Chae, T. Vasen, W.Sik Hwang, Q. Zhang, P. Fay, T. Kosel, M. Wistey, H. Xing and A. Seabaugh, "AlGaSb/InAs Tunnel Field-Effect Transistor With On-Current of 78 $\mu\text{A}/\mu\text{m}$ at 0.5 V," IEEE Electron Device Lett., vol. 33, no. 3, pp.363-365, 2012.

[Mallik13] A. Mallik, A. Chattopadhyay, S. Guin and A. Karmakar, "Impact of a Spacer-Drain Overlap on the Characteristics of a Silicon Tunnel Field-Effect Transistor Based on Vertical Tunneling," IEEE Trans. Electron Devices, vol. 60, no. 3, pp. 935-943, 2013.

[Mayer08a] F. Mayer, C. Le Royer, J.F. Damlencourt, K. Romanjek, F. Andrieu, C. Tabone, B. Previtali and S. Deleonibus, "Impact of SOI, Si1-xGeOI and GeOI substrates on CMOS compatible Tunnel FET performance," in Proc. Int. Electron Devices Meeting, 2008.

[Mayer08b] F. Mayer, "Etude, Réalisation et Caractérisation du transistor à Ionisation par Impact (I-MOS)," Thèse, Octobre 2008.

[De Michielis13] L. De Michielis, L. Lattanzio, K.E. Moselund, H. Riel and A.M. Ionescu, "Tunneling and Occupancy Probabilities: How Do They Affect Tunnel-FET Behavior?," IEEE Electron Device Lett., vol. 34, no. 6, pp.726-728, 2013.

[Mohata11] D. Mohata, S. Mookerjee, A. Agrawal, Y. Li, T. Mayer, V. Narayanan, A. Liu, D. Loubichev, J. Fastenau and S. Datta, "Experimental Staggered-Source and N+ Pocket-Doped Channel III-V Tunnel Field-Effect Transistors and Their Scalabilities," Appl. Phys. Express, vol. 4, 2011.

[Morita13] Y. Morita, T. Mori, S. Migita, W. Mizubayashi, A. Tanabe, K. Fukuda, T. Matsukawa, K. Endo, S. O'uchi, Y.X. Liu, M. Masahara and H. Ota, "Synthetic electric field tunnel FETs: Drain current multiplication demonstrated by wrapped gate electrode around ultrathin epitaxial channel," VLSI Symp. Tech. Dig., 2013, pp.236-237.

[Najmzadeh10] M. Najmzadeh, K. Boucart, W. Riess and A.M. Ionescu, "Asymmetrically strained all-silicon multi-gate n-Tunnel FETs," Solid State Elec., vol. 54, no.9, pp.935-941, 2010.

[Nayfeh08] O.M. Nayfeh, C.N. Chleirigh, J. Hennessy, L. Gomez, J.L. Hoyt and A.D. Antoniadis, "Design of Tunneling Field-Effect Transistors Using Strained-Silicon/Strained-Germanium Type-II Staggered Heterojunctions," IEEE Electron Device Lett., vol. 29, no. 9, pp.1074-1077, 2008.

[Nayfeh09] O.M. Nayfeh, J.L. Hoyt and D.A. Antoniadis, "Strained-Si_{1-x}Ge_x/Si Band-to-Band Tunneling Transistors: Impact of Tunnel-Junction Germanium Composition and Doping Concentration on Switching Behavior," IEEE Trans. Electron Devices, vol. 56, no. 10, pp. 2264-2269, 2009.

[Patel08] N. Patel, A. Ramesha and S. Mahapatra, "Drive current boosting of n-type tunnel FET with strained SiGe layer at source," Microelec. J., vol. 39, no.12, pp.1671-1677, 2008.

[Revelant14] A. Revelant, A. Villalon, Y. Wu, A. Zaslavsky, C. Le Royer, H. Iwai and S. Cristoloveanu, "Electron-Hole Bilayer TFET: Experiments and Comments," IEEE Trans. Electron Devices, vol. 61, no. 8, pp.2674-2681, 2014.

[Richter13] S. Richter, S. Blaesser, L. Knoll, S. Trellenkamp, A. Schäfer, J.M. Hartmann, Q.T. Zhao and S. Mantl, "SiGe on SOI nanowire array TFETs with homo- and heterostructure tunnel junctions," ULIS Int. Conf. on, 2013, pp.25-28.

[Saurabh09] S. Saurabh and M.J. Kumar, "Impact of Strain on Drain Current and Threshold Voltage of Nanoscale Double Gate Tunnel Field Effect Transistor: Theoretical Investigation and Analysis," Jap. J. Appl. Phys., vol. 48, 2009.

[Schenk97] A. Schenk and G. Heiser, "Modeling and simulation of tunneling through ultra-thin gate dielectrics," J. Appl. Phys., vol. 81, no. 12, 1997.

[Schmidt12] M. Schmidt, R.A. Minamisawa, S. Richter, A. Schäfer, D. Buca, J.M. Hartmann, Q.T. Zhao and S. Mantl, "Unipolar behavior of asymmetrically doped strained Si_{0.5}Ge_{0.5} tunneling field-effect transistors," Appl. Phys. Lett., vol. 101, 2012.

[Seabaugh10] A.C. Seabaugh and Q. Zhang, "Low-Voltage Tunnel Transistors for Beyond CMOS Logic," Proc. of the IEEE, vol. 98, no. 12, pp.2095-2110, 2010.

[Skotnicki00] T. Skotnicki, "Transistor MOS et sa technologie de fabrication," Techniques de l'ingénieur, E2430, 2000.

[Smith11] J.T. Smith, S. Das and J. Appenzeller, "Broken-Gap Tunnel MOSFET: A Constant-Slope Sub-60-mV/decade Transistor," IEEE Electron Device Lett., vol. 32, no. 10, pp.1367-1369, 2011.

[Sze69] S.M. Sze, "Physics of semiconductor devices," Wiley, New York, 1969.

[Song06] S.H. Song, J.H. Kim, S. Kang, J.D. Lee and B.G. Park, "Negative Differential Transconductance Characteristics and Inter-Band Tunneling Mechanism of Fabricated FITETs," J. Korean Phys. Soc., vol. 49, pp. 790-794, 2006.

[Sze06] S. Sze, K.K. Ng, "Physics of Semiconductor Devices," New York Wiley Editions, 2006.

[Toh05] E.H. Toh, H.W. Grace, G.Q. Lo, N. Balasubramanian, C.H. Tung, F. Benistant, L. Chan, G. Samudra, and Y.C. Yeo, "A novel CMOS compatible L-shaped impact-ionization MOS (LI-MOS) transistor," in Proc. Int. Electron Devices Meeting, 2005.

[Toh07] E.H. Toh, G.H. Wang, L. Chan, G. Samudra and Y.C. Yeo, "Device physics and guiding principles for the design of double-gate tunneling field effect transistor with silicon-germanium source heterojunction," Appl. Phys. Lett., vol. 91, 2007.

[Verhulst07] A.S. Verhulst, W.G. Vandenberghe, K. Maex and G. Groeseneken, "Tunnel field-effect transistor without gate-drain overlap," Appl. Phys. Lett., vol. 91, 2007.

[Verhulst08] A.S. Verhulst, W.G. Vandenberghe, K. Maex and G. Groeseneken, "Boosting the on-current of a n-channel nanowire tunnel field-effect transistor by source material optimization," J. Appl. Phys., vol. 104, 2008.

[Verhulst10] A.S. Verhulst, B. Sorée, D. Leonelli, W.G. Vandenberghe and G. Groeseneken, "Modeling the single-gate, double-gate, and gate-all-around tunnel field-effect transistor," J. Appl. Phys., vol. 107, 2010.

[Verhulst11] A.S. Verhulst, D. Leonelli, R. Rooyackers, and G. Groeseneken, "Drain voltage dependent analytical model of tunnel field-effect transistors," J. Appl. Phys., vol. 110, no. 2, 2011.

[Wan12] J. Wan, S. Cristoloveanu, C. Le Royer and A. Zaslavsky, "A feedback silicon-on-insulator steep switching device with gate-controlled carrier injection," Solid State Elec., vol. 76, pp. 109-111, 2012.

[Wan13] J. Wan, A. Zaslavsky, C. Le Royer and S. Cristoloveanu, "Novel Bipolar-Enhanced Tunneling FET With Simulated High On-Current," IEEE Electron Device Lett., vol. 34, no. 1, pp.24-26, 2013.

[Yang12] Y. Yang, P. Guo, G. Han, K.L. Low, C. Zhan and Y.C. Yeo, "Simulation of tunneling field-effect transistors with extended source structures," J. Appl. Phys., vol. 111, no. 2, 2011.

[Yeo10] Y.C. Yeo, G. Han, Y. Yang, and P. Guo, "Strain Engineering and Junction Design for Tunnel Field-Effect Transistor," ECS Trans., vol. 33, no. 6, pp.77-87, 2010.

[Yoon10] Y. Yoon, S.H. Kim and S. Salahuddin, "Performance analysis of carbon-based tunnel field-effect transistors for high frequency and ultralow power applications," Appl. Phys. Lett., vol. 97, 2010.

[Zhan12] Z. Zhan, Q. Huang, R. Huang, W. Jiang and Y. Wang, "A tunnel-induced injection field-effect transistor with steep subthreshold slope and high on-off current ratio," Appl. Phys. Lett., vol. 100, 2012.

[Zhang06] Q. Zhang, W. Zhao and A. Seabaugh, "Low-Subthreshold-Swing Tunnel Transistors," IEEE Electron Device Lett., vol. 27, no. 4, pp.297-300, 2006.

[Zhang08] Q. Zhang, T. Fang, H. Xing, A. Seabaugh and D. Jena, "Graphene Nanoribbon Tunnel Transistors," IEEE Electron Device Lett., vol. 29, no. 12, pp.1-3, 2008.

[Zhao11] Q.T. Zhao, W.J. Yu, B. Zhang, M. Schmidt, S. Richter, D. Buca, J.M. Hartmann, R. Luptak, A. Fox, K.K. Bourdelle and S. Mantl, "Tunneling field-effect transistor with a strained Si channel and a Si_{0.5}Ge_{0.5} source," Proc. Of the ESSDERC, pp. 251-254, 2011.

II. Chapitre second : Compréhension générale du dispositif

Dans ce chapitre, nous allons mettre en application toutes les connaissances obtenues par l'étude bibliographique afin d'obtenir une compréhension supérieure du fonctionnement des TFETs. Nous commencerons par le fonctionnement de base du dispositif, à savoir l'injection par effet tunnel bande-à-bande, avant d'étudier l'impact de la structure PIN et de ses deux jonctions sur le transistor.

A. Fonctionnement de base du dispositif

1. Diagrammes de bande

L'objectif de cette partie est d'introduire la physique que l'on trouve dans les TFETs, afin de pouvoir ensuite tout au long du chapitre en déduire le fonctionnement détaillé de ces transistors. Pour commencer nous allons présenter en figure II.1 la structure schématique d'un TFET ainsi que celle d'un nMOSFET, dont nous nous servirons dans ce chapitre autant de fois que nécessaire pour comparer les deux types de dispositifs. Rappelons que le nMOS est une structure NPN, dans laquelle la tension de grille module la barrière de potentiel que forme la bande de conduction du canal, contrôlant ainsi l'injection thermoïonique des électrons au-dessus de cette barrière. La structure d'un MOSFET étant symétrique, les deux électrodes source et drain peuvent être choisies arbitrairement, ce qui n'est pas le cas du TFET. Lors des explications théoriques sur le fonctionnement du TFET, nous utiliserons les notations V_P , V_G et V_N pour les tensions sur les électrodes de la région P^+ , de grille et de la région N^+ respectivement. Lors des comparaisons avec le MOSFET, ou pour la présentation de caractérisations électriques, nous utiliserons toutefois la notation suivante : dans le nTFET la source est P et le drain est N, dans le pTFET la source est N et le drain P.

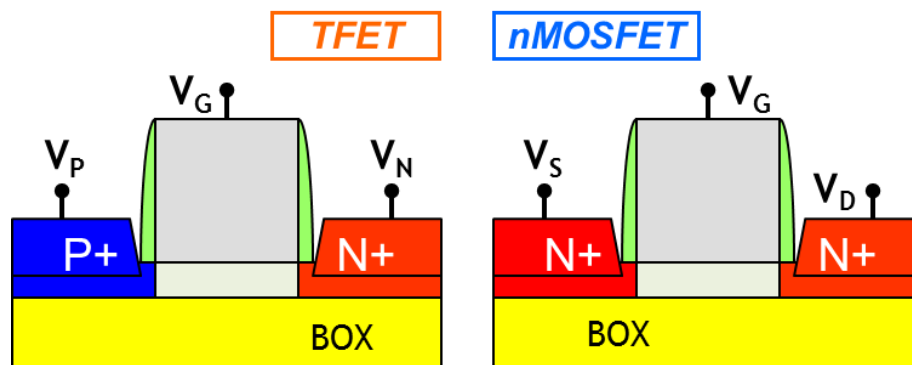


Figure II.1. Schéma rappelant la structure PIN d'un TFET à gauche, et NPN d'un nMOSFET à droite. Dans le cas du nMOSFET, les deux électrodes étant supposées identiques, le choix de la source et du drain est arbitraire. Néanmoins, dans le cas du TFET, il convient de différencier les deux électrodes N et P. Dans le reste de cette thèse, nous utiliserons les appellations V_N et V_P lors d'explications plus rigoureuses, mais nous aurons également recours aux notations V_S et V_D pour les présentations de performances.

La structure de bande du TFET est donnée en figure II.2 au repos et à l'état ON en mode pTFET et nTFET. Il est intéressant de noter à partir de la structure et du diagramme de bandes que l'ambipolarité du TFET est ici manifeste : n et pTFETs possèdent la même structure, et seules les polarisations appliquées déterminent le mode de fonctionnement. Nous reviendrons sur ce point important plus tard dans ce chapitre, après avoir présenté le mécanisme d'injection tunnel bande à bande et ses différences avec l'injection thermoïonique.

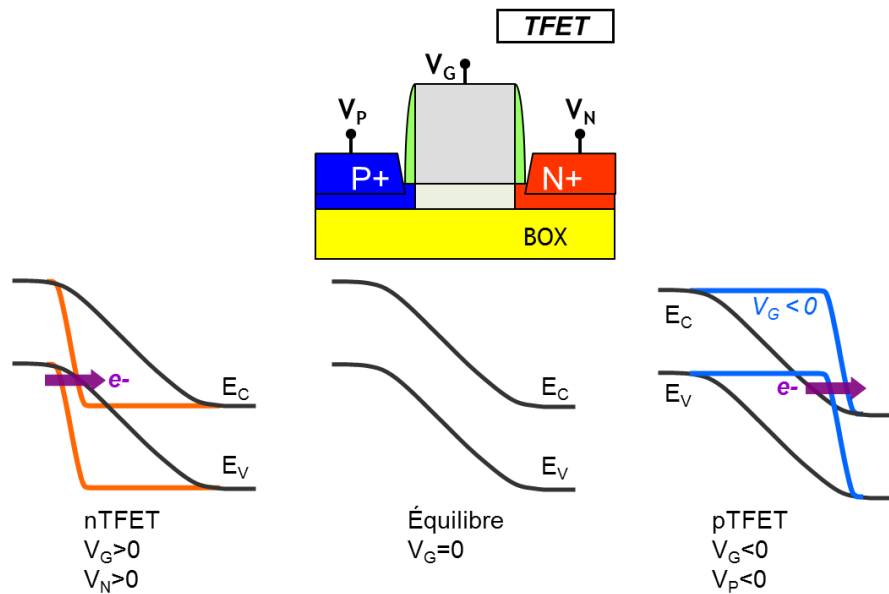


Figure II.2. Diagrammes de bande dans un TFET. Mode nTFET à gauche, avec V_G et V_N positifs, le mode à l'équilibre au centre, avec V_G , V_N et V_P fixés à 0V, et en mode pTFET à droite avec V_G et V_P négatifs. Dans le cas du nTFET, l'injection d'électrons se produit entre la bande de valence de la région dopée P^+ et la bande de conduction dans le canal. Dans le cas du pTFET, l'injection se produit entre la bande de valence du canal et la bande de conduction de la région dopée N^+ . Dans les deux cas présentés ici, la valeur V_{PN} est la même, ce qui cause l'ambipolarité du dispositif.

d) Cas nTFET

Dans le cas du nTFET dont le diagramme de bande est représenté à gauche sur la figure II.2, l'injection par effet tunnel bande à bande d'électrons se produit entre la région dopée type P^+ et le canal non dopé grâce à des tensions positives appliquées sur la grille et la région N^+ : $V_G > 0$ et $V_N > 0$. Dans le cas de caractérisations électriques en mode nTFET, nous prendrons $V_S = V_P$, $V_D = V_N$, ceci permet de localiser physiquement l'injection à la jonction source/canal, et également de conserver les mêmes polarisations qu'un nMOSFET.

e) Cas pTFET

Dans le cas du pTFET, représenté à droite sur la figure II.2, l'injection se produit cette fois entre le canal et la région dopée N^+ . Les tensions appliquées sont $V_G < 0$ et $V_P < 0$. Pour comparer les caractérisations électriques d'un pTFET et d'un pMOSFET, nous utiliserons $V_S = V_N$ et $V_D = V_P$, ce qui permettra une fois encore d'avoir l'injection au niveau de l'interface source/canal, ainsi que de conserver le même jeu de polarisation qu'un pMOSFET. Puisque lors du changement de fonctionnement de nTFET vers pTFET la source et le drain ainsi choisis sont intervertis, il convient de n'utiliser ces noms que lors de présentations de caractérisations électriques, et non lors de discussions physiques.

2. Origine des phénomènes steep-slope

a) Représentation de l'injection dans un nMOSFET

La figure II.3 présente l'injection thermoïonique au travers de trois graphiques :

- La variation de $N(E)$, la densité d'états en fonction de l'énergie, à gauche.
- La répartition des porteurs suivant la fonction de Fermi-Dirac $F(E)$ en fonction de l'énergie, au centre.
- Un diagramme de bande adapté au cas du nMOSFET, représentant ici uniquement la bande de conduction dans la structure pour deux états de polarisation différents d'une valeur V_G appliquée sur la grille.

Ces trois représentations schématiques sont alignées par rapport au niveau de Fermi de la source du MOSFET. Le nombre de porteurs s'obtient en multipliant la densité d'états $N(E)$ par la répartition de porteurs $F(E)$. Dans le nMOSFET, les électrons sont injectés s'ils ont une énergie leur permettant de passer au-dessus de la barrière créée par le canal, représentée en figure II.3 par une valeur E_B . La hauteur de cette barrière peut être modifiée en fonction du potentiel appliqué sur la grille, affectant donc le nombre d'électrons capables de la franchir. Dans le cas présent, la structure NiN du transistor signifie que le niveau de Fermi dans la source est proche du niveau de la bande de conduction, toutefois, en raison de la valeur de la barrière, les porteurs injectés possèdent des énergies qui sont en réalité assez éloignés de E_F . Les équations II.1 et II.2 donnent les formules de la branche supérieure de $N(E)$ ainsi que de $F(E)$, avec M_c le nombre de minima équivalents dans la bande de conduction et M_{de} la masse effective de densité d'états pour les électrons. Puisque les électrons injectés possèdent une énergie largement supérieure à E_F , nous pouvons approximer $F(E)$ tel que présenté dans l'équation II.3.i. La dérivée en énergie de $F(E)$ est donnée dans l'équation II.3.ii, puis en supposant le cas idéal où le contrôle électrostatique de la grille est parfait, i.e., $E=eV_G$, il vient alors l'expression de la dérivée de $F(E)$ par rapport à V_G donnée en II.3.iii. Le pré facteur obtenu est à l'origine de la valeur limite des pentes sous le seuil dans le MOSFET (qui correspondent à l'inverse de la dérivée du courant par rapport à V_G , en échelle logarithmique) de $\ln(10)*kT/q$.

$$N(E) = M_c \frac{\sqrt{2} (E - E_c)^{1/2}}{\pi \hbar^3} M_{de}^{3/2}$$

Equation II.1. Formule de la branche supérieure de la densité d'états.

$$F(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{k_B T}\right)}$$

Equation II.2. Calcul de la fonction de répartition de Fermi-Dirac.

$$\begin{aligned} \text{iii.} \quad & F(E) \approx \exp\left(\frac{-E}{k_B T}\right) \\ \text{iv.} \quad & \frac{dF(E)}{dE} = \frac{-1}{k_B T} \exp\left(\frac{-E}{k_B T}\right) \\ \text{v.} \quad & \frac{dF(E)}{dV_G} = \frac{-e}{k_B T} \exp\left(\frac{-E}{k_B T}\right) \end{aligned}$$

Equations II.3. i) Approximation de la répartition de Fermi-Dirac dans le cas où $E > E_F$. ii) Dérivée de i) par rapport à l'énergie. iii) Dérivée de i) par rapport à V_G dans le cas idéal où $E=eV_G$. Le pré facteur obtenu dans iii) est à l'origine de la pente sous le seuil minimale dans les MOSFETs, qui est liée à l'inverse de cette valeur, mesurée en échelle logarithmique, d'où le terme $kT/q*\ln(10)$.

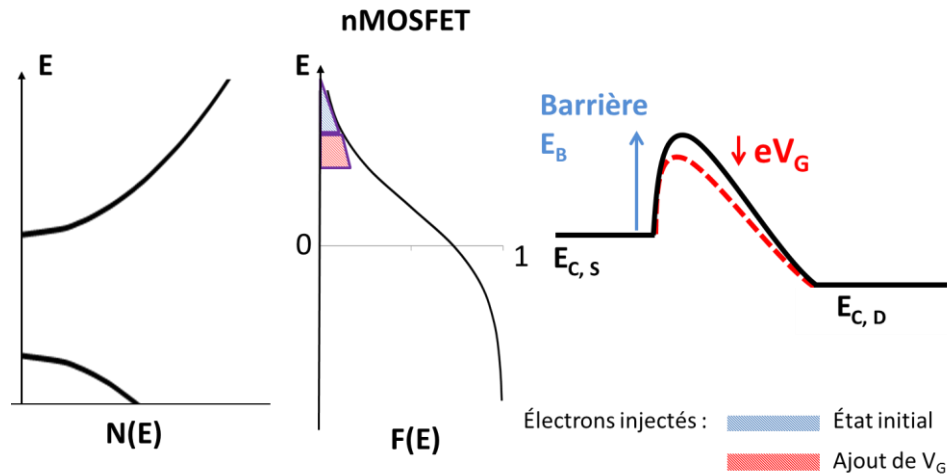


Figure II.3. Gauche : Densité d'états $N(E)$ en fonction de l'énergie. Centre : Répartition de Fermi-Dirac $F(E)$. Droite : Représentation de la bande de conduction dans un nMOSFET. Le nombre de porteurs à une énergie donnée est obtenu en multipliant la densité d'états $N(E)$ par la répartition $F(E)$. Le niveau de Fermi E_F est aligné sur les trois graphiques (axe des abscisses de la figure centrale). Dans un MOSFET, les porteurs sont injectés s'ils ont un niveau d'énergie suffisant pour passer au-dessus de la barrière de potentiel formée par le canal et contrôlée par la grille. Ici, les porteurs injectés dans le premier cas sont représentés sur le graphique central par le triangle supérieur (à multiplier par la valeur de $N(E)$ correspondante). Si le potentiel de grille augmente d'une valeur V_G , la barrière d'énergie va varier d'une valeur eV_G , autorisant plus de porteurs à être injectés et augmentant ainsi le courant.

b) Représentation de l'injection dans un nTFET

La figure II.4 reprend la même explication appliquée au cas du nTFET, nous y avons représenté une nouvelle fois :

- La variation de $N(E)$ la densité d'états en fonction de l'énergie, à gauche.
- La répartition des porteurs suivant la fonction de Fermi-Dirac $F(E)$ en fonction de l'énergie, au centre.
- Le diagramme de bande adapté d'un nTFET en fonctionnement, où la source correspond donc à la région dopée P^+ .

Ces trois schémas possèdent également un niveau de Fermi aligné, mais puisque la source du nTFET est une région dopée P^+ , l'alignement est différent ici (E_F proche de $E_{V,s}$). Contrairement à la figure II.3 qui se focalisait sur la seule bande de conduction, l'injection par effet tunnel bande à bande se produit entre la bande de valence de la source et la bande de conduction du canal, et nécessite donc la représentation des deux bandes. On notera également que dans le cas du nTFET, la grille module le potentiel dans le canal en diminuant $E_{C,c}$ et permet ainsi à plus d'électrons de remplir les conditions de tunneling.

La première conséquence de l'injection entre deux bandes différentes est que le gap se situe au-dessus des niveaux d'énergie considérés pour les électrons injectés, et agit donc comme un filtre sélectif empêchant la présence d'une injection thermoionique. La seconde conséquence est que les porteurs injectés possèdent une énergie proche de E_F , ce qui signifie que les calculs présentés précédemment sur la fonction de répartition ne sont plus valables, autorisant des transistors avec des pentes sous le seuil plus abruptes.

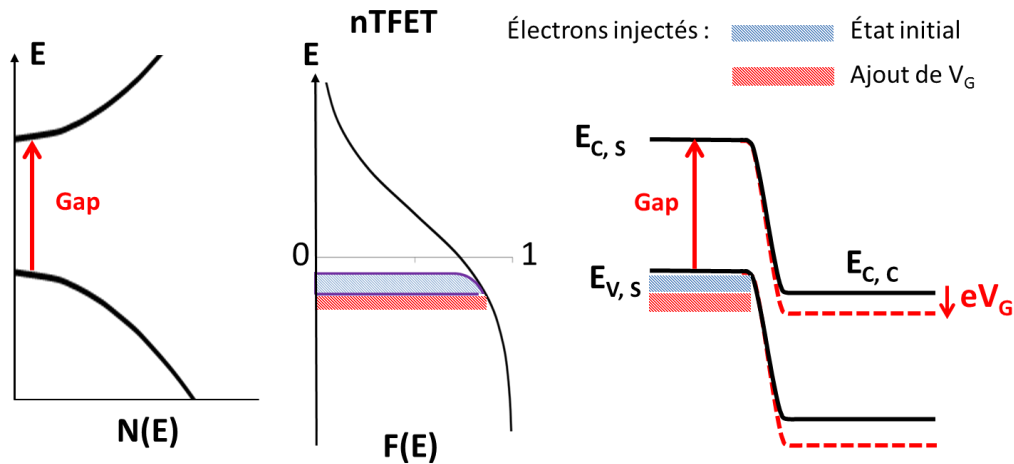


Figure II.4. Gauche : Densité d'états $N(E)$ en fonction de l'énergie. Centre : Répartition de Fermi-Dirac $F(E)$. Droite : Diagramme de bande d'une jonction tunnel, pour deux polarisations différentes de la grille. On constate dans le cas du TFET que le gap agit comme un filtre intégré au dispositif, empêchant une possible injection thermoïonique dans des niveaux d'énergie proches ($N(E)=0$ sur une plage égale à E_g). L'injection par effet tunnel bande à bande peut toutefois se produire si $E_{v,s} > E_{c,c}$ comme représenté ici. La quantité de porteurs pouvant être injectée est représentée par le rectangle arrondi sur la figure centrale. Une augmentation de la tension de grille d'une valeur V_G entraîne une diminution du niveau $E_{c,c}$ de eV_G , et permet à plus de porteurs (en pointillés) d'être injectés. La proximité d'énergie des porteurs injectés avec le niveau de Fermi E_F permet de s'affranchir de la pente minimale observée dans le cas des MOSFETs.

B. Impact des deux jonctions sur le blocage du TFET

Comme nous l'avons déjà mentionné, le TFET est un dispositif ambipolaire, ce qui signifie qu'un même transistor physique peut opérer dans les deux modes, mais risque également de poser un problème de performances, notamment au niveau de l'état OFF et des courants de fuites afférents.

1. Impact sur les caractéristiques électriques et les fuites

En effet, comme montré dans la figure II.2, le passage d'un mode à l'autre est principalement dominé par le changement de signe de la tension de grille, qui permet d'activer l'une ou l'autre des jonctions, tandis que le changement de drain entre les régions N^+ ou P^+ supprime la possibilité d'une barrière avant le drain. Toutefois, la région dans laquelle le transistor devrait être bloqué – pour une valeur de V_G nulle, ou très faible devant la tension d'alimentation V_{DD} – va donc se retrouver être la même pour les deux modes dans un TFET. Si l'un des deux modes de fonctionnement du TFET possède une tension de seuil trop basse, l'état OFF du TFET peut alors être masqué par ce mode. Un exemple en est donné en figure II.5, avec le cas de deux modes unipolaires représentés à gauche, dont l'état OFF se retrouve indisponible après superposition dans une structure ambipolaire, et donc un I_{MIN} du TFET correspondant accru.

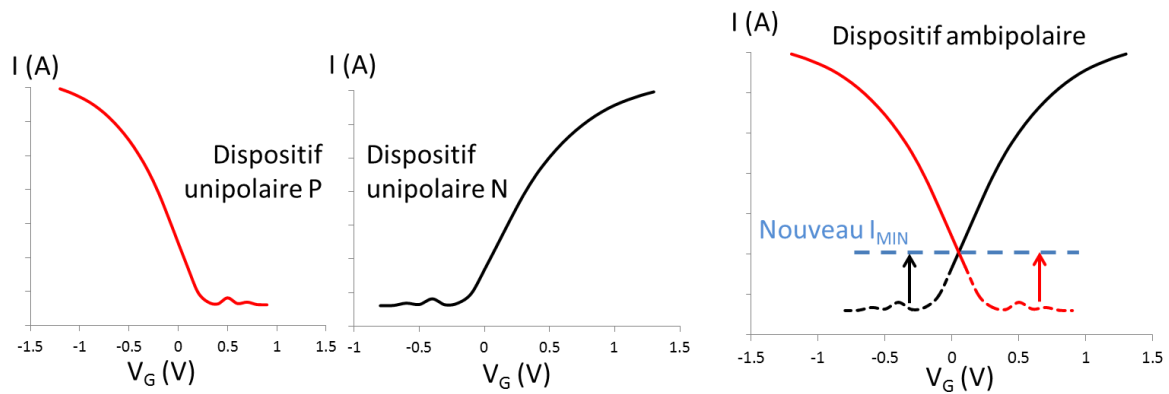


Figure II.5. Caractéristiques $I_D(V_G)$ de deux transistors unipolaires P et N, puis d'une structure ambipolaire présentant les mêmes caractéristiques. Le transistor ambipolaire n'a pas de mode de fonctionnement figé, ce qui implique qu'il n'y ait pas non plus de mode OFF, mais deux modes ON, l'un de type N, l'autre de type P, avec une possible augmentation des fuites.

2. Utilisation possible de structures ambipolaires

Bien que de nombreuses structures émergentes soient ambipolaires, cette caractéristique est généralement considérée comme un défaut, et non comme une opportunité. Le principal intérêt d'un dispositif pouvant opérer à la fois en mode n et en mode p consiste à développer une nouvelle forme de logique associée, ou à créer de nouvelles applications pour celle existante. Ceci ne peut se faire qu'avec une étude poussée sur le design de circuits. Une telle étude a été réalisée et présentée dans [Ben Jamaa09] [Ben Jamaa10] [Ben Jamaa11] [De Marchi10] sur des nanotubes de carbones comme base pour des transistors ambipolaires, mais puisqu'il s'agit de conception de circuit, ces résultats sont parfaitement adaptables aux TFETs. Les auteurs y démontrent qu'une logique utilisant des dispositifs ambipolaires peut s'intégrer dans une logique type CMOS, car elle permet de créer des portes XOR plus efficaces (en surface et en performance), puis dans le cas de circuits plus compliqués, de répercuter ces gains tout en limitant les fuites dans le circuit. Il est également possible de gagner directement en nombre de niveaux logiques nécessaires pour réaliser certaines fonctions plus complexes.

3. Méthodes de suppression de l'ambipolarité

Toutefois, afin de proposer des comparaisons plus directes avec les MOSFETs, il est plus simple de supprimer l'ambipolarité du dispositif que de recréer une base de conception de circuit. Ceci suppose que l'on séparera les pTFETs des nTFETs. Ces structures ont été présentées dans le chapitre précédant, nous rappellerons ici les effets sur les caractéristiques $I_D(V_G)$ de telles modifications. Dans ce cas plusieurs solutions simples existent, toutes focalisées sur l'obtention d'un dispositif asymétrique. La première présentée en figure II.6 consiste à décaler l'une des régions dopées par rapport au canal, ou encore à ne pas recouvrir tout le canal par la grille [Verhulst07], [Yeo10], [Zhang06]. L'exemple illustré dans cette figure voit les performances du pTFET diminuées en éloignant le dopage N^+ du canal. Ceci a pour effet de diminuer le contrôle de la grille sur la jonction N^+ /canal, et d'empêcher les conditions nécessaires à l'injection tunnel bande à bande de se produire. Comme présenté dans la caractéristique électrique de la figure II.6, ceci va fortement diminuer les performances du pTFET, mais en contrepartie le nTFET voit ici son courant de fuite diminuer.

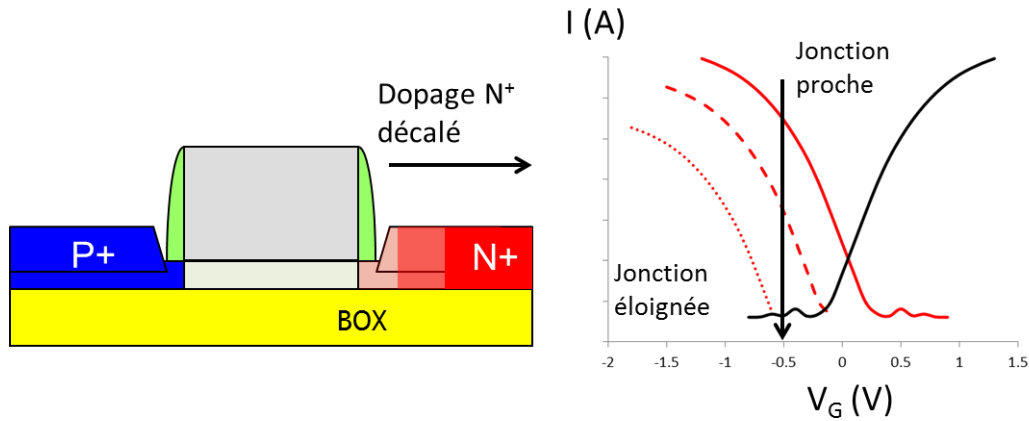


Figure II.6. Une méthode couramment utilisée pour réduire l'ambipolarité d'un TFET consiste à éloigner l'une des deux régions dopées du canal, comme représenté ici sur l'électrode N. Ceci a pour effet de diminuer, voire de supprimer l'injection à cette jonction, permettant de diminuer l'ambipolarité. Le résultat d'un éloignement du dopage N^+ depuis le canal est présenté sur une courbe $I_D(V_G)$ à droite, cela diminue les performances du pTFET, mais améliore l'état bloqué du nTFET.

Une seconde manière d'obtenir ce résultat consiste à changer la valeur du dopage de l'une des régions [Schmidt12][Alam14]. L'exemple de la figure II.7 propose de diminuer le dopage dans la région N^+ . Ce n'est plus dans ce cas la grille qui s'avère incapable de contrôler le potentiel jusqu'à la jonction, mais directement les valeurs de $E_{C,N}$ et $E_{V,N}$ qui sont impactées, ainsi que l'abrupte de la jonction N^+ /canal, diminuant ainsi l'injection tunnel à cette jonction. Comme présenté sur la caractéristique électrique de la figure II.7, une réduction de la dose de dopants utilisée entraine une diminution du courant ainsi qu'une dégradation des pentes du pTFET, permettant donc au nTFET d'obtenir un meilleur courant I_{OFF} .

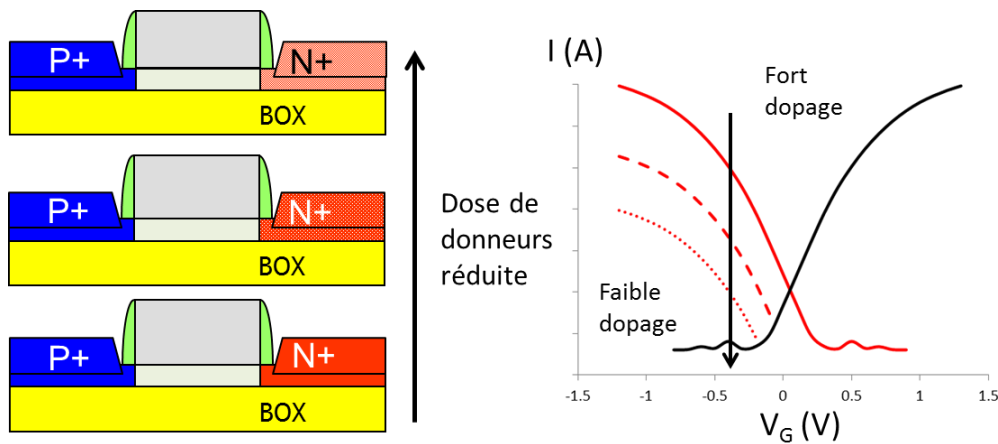


Figure II.7. Une autre possibilité réside dans la modulation des doses de dopants implantées. Ici, l'effet d'une réduction de la concentration de donneurs est présenté sur une caractéristique $I_D(V_G)$. Une concentration de dopants plus faible diminue le courant du TFET dans le mode correspondant, mais peut également diminuer les fuites de la seconde polarité. [Alam14][Schmidt12]

Pour clore cette partie, il est intéressant de noter que le choix retenu entre la recherche de l'ambipolarité ou au contraire de l'asymétrie est directement lié à l'utilisation souhaitée pour le TFET, et donc à ses performances électriques. Si TFETs arrivent à démontrer des courants I_{ON} suffisants pour des applications dites « low-power », tout en présentant des avantages en termes de tension

d'alimentation V_{DD} et de fuites I_{OFF} grâce à leur pente, l'utilisation de TFETs différenciés dans un circuit basé sur des CMOS sera privilégiée. Si au contraire les TFETs n'arrivent qu'à produire de très faibles courants aussi bien I_{ON} que I_{OFF} , leur utilisation se cantonnera à des fonctions très spécifiques, nécessitant une conception particulière du circuit.

C. Double jonction à l'état ON

L'ambipolarité des TFETs est déjà solidement référencée, toutefois, au cours de cette thèse nous avons été amené à nous pencher sur l'effet de la présence des deux jonctions dans le TFET sur son état ON. Il est rapidement apparu que cela n'avait pas été précédemment étudié dans le cas des TFETs, bien qu'il existe des études sur d'autres dispositifs ambipolaires avec des différences subtiles dans les résultats [Hutin09]. La nécessité de conduire cette étude est apparue lorsque plusieurs mesures de caractérisations $I_D(V_D)$ sur des TFETs retournaient des résultats incohérents par rapport aux mêmes caractérisations disponibles dans la littérature, ainsi qu'entre les deux modes de fonctionnement d'un même TFET.

1. *Théorie et simulation*

Dans cette partie nous utiliserons les notations physiques des électrodes afin de faciliter la compréhension. La figure II.8 propose quatre diagrammes de bandes d'un TFET, ainsi qu'une caractéristique $I_N(V_N)$. Le diagramme a) correspond à un état de repos, chaque électrode étant polarisée à 0V. Le diagramme b) correspond aux premiers points de la caractéristique, la valeur de V_G est établie, et V_N est encore nul. Le début de la caractéristique électrique expérimentale présentée en c) permet de créer le lien entre b) et d), où l'on augmente le V_N sans que le courant soit impacté, car l'injection se produit à la jonction P^+ /canal. Viens ensuite une inflexion dans la courbe, décrite par l'état d), où la valeur de V_N appliquée est suffisante pour obtenir de l'injection tunnel entre le canal et la région dopée N^+ . Puisque la différence de potentiel aux bornes de la jonction N^+ /canal est dépendante de V_N , ce courant va donc augmenter pour des valeurs de V_N supérieures, comme démontré dans l'état e).

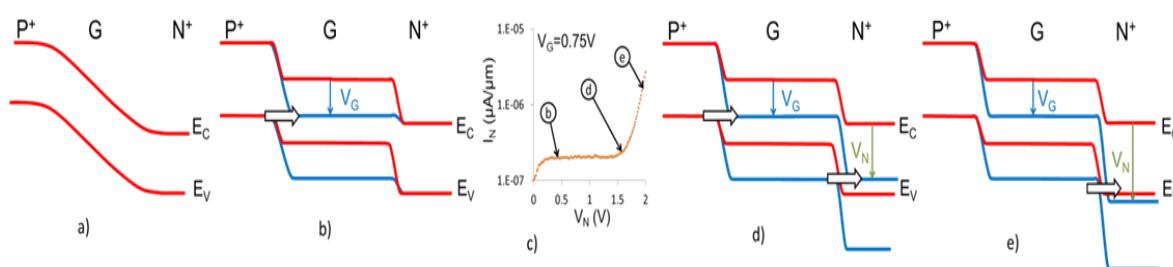


Figure II.8. Diagramme de bande d'une structure PIN au cours d'une mesure $I_N(V_N)$. Dans le cas a), le dispositif est au repos, chaque électrode étant polarisée à 0V. Dans le cas b), la tension de grille est appliquée, facilitant l'injection bande à bande entre la source (ici P) et le canal. La courbe c) correspond à la caractéristique $I_N(V_N)$, les points relatifs aux états de polarisation b), d) et e) sont indiqués. Lorsque l'on augmente la tension sur le drain (ici N), le courant n'est d'abord pas impacté, jusqu'au moment représenté en d) où la jonction canal/drain est elle aussi placée en condition d'injection tunnel. On entre alors dans un régime représenté par e) où la jonction canal/drain domine le courant dans le transistor, qui devient donc dépendant de la tension appliquée sur le drain, ce qui se traduit sur l' $I_N(V_N)$ présentée ici en c) par un régime exponentiel.

La figure II.9 présente un faisceau de caractéristiques $I_N(V_N)$ simulées ainsi qu’une représentation de la densité de taux de génération par injection tunnel bande à bande dans cinq configurations différentes. On constate sur le faisceau de courbes que les deux régimes distincts de la courbe – la partie constante en V_N puis la partie en dépendance exponentielle de V_N – évoluent également en fonction de valeur de V_G considérée. Ceci s’explique simplement par le fait que d’après les explications précédentes, la partie constante du courant dans le cas d’une caractéristique $I_N(V_N)$ dépend de la différence $V_G - V_P$, tandis que la partie exponentielle dépend de $V_N - V_G$. De cette dépendance opposée de chaque régime par rapport à V_G on peut expliquer la forme du faisceau de courbes : plus la valeur de V_G est importante plus la valeur du courant en régime constant est élevée, mais plus le régime exponentiel se retrouve décalé, car nécessitant une valeur supérieure de V_N pour apparaître. Les représentations de la densité de taux de génération tunnel permettent également de voir qu’il ne s’agit pas de transfert de l’injection du courant d’une jonction à l’autre, mais de l’activation des deux jonctions du TFET simultanément (visible sur le point 5), la mesure finale du courant ne donnant accès qu’au phénomène dominant.

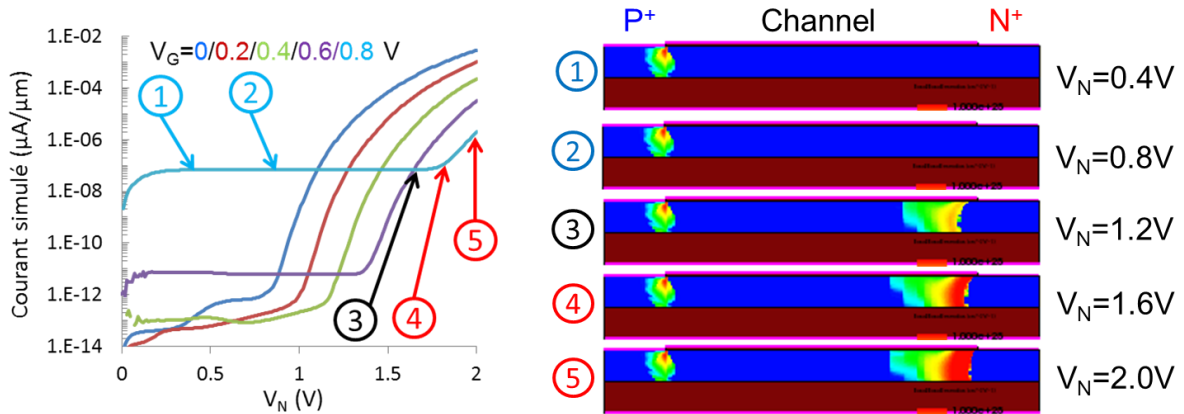


Figure II.9. Simulation de caractéristique $I_N(V_N)$ sur un transistor, pour différents V_G . Les cinq points clé identifiés sur la caractéristique correspondent aux représentations des taux de génération de courant par injection tunnel disponible dans la partie droite. Les points numérotés ici 1, 4 et 5 correspondent respectivement aux situations b), d) et e) de la figure précédente. On constate bien ici que V_G ne variant pas dans ce type de mesure, l’injection tunnel à la jonction P^+/canal ne varie pas, mais qu’il s’agit bien d’une dépendance du courant en tension de drain qui ne se manifeste qu’une fois que le courant injecté à la jonction N^+/canal domine dans le transistor.

2. Confirmation expérimentale

Bien que fournie, la littérature sur les TFETs ne possède que peu d’exemples de courbes $I_D(V_D)$, qui montrent toutes des caractéristiques simulées similaires à celles de MOSFETs [Verhulst11] [Zhao11], ce qui ne corrobore pas les explications précédentes. La seule trace de cet effet que nous ayons trouvé se situe dans un article traitant uniquement de simulations non calibrées de TFETs [Mallik12]. Il convient donc de présenter des mesures expérimentales afin de comprendre cet écart. La figure II.10 présente deux caractéristiques $I_P(V_P)$ et $I_N(V_N)$ obtenues sur des TFETs réalisés sur SOI. Ces mesures confirment bien la présence de deux régimes, d’abord un plateau puis une croissance exponentielle du courant. Les positions relatives des courbes sont également similaires aux prédictions précédentes, la courbe possédant la polarisation de grille la plus forte verra le régime exponentiel décalé vers les forts V_D .

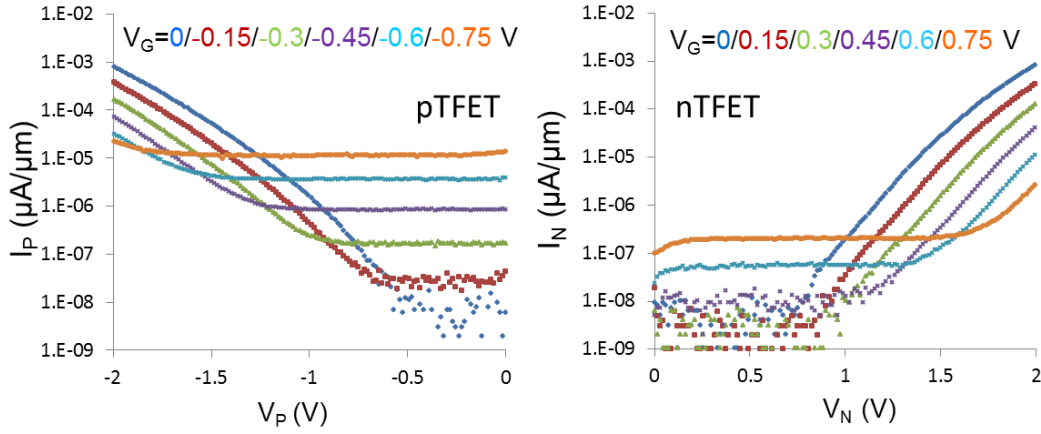


Figure II.10. Mesures $I_D(V_D)$ réalisées sur des TFETs SOI. Ces mesures confirment le comportement obtenu en simulation, avec la présence d'un plateau de courant au départ, puis d'une dépendance exponentielle du courant.

Cet effet est mis en avant par des corrections d'échelles dans la figure II.11. Les données d'origine sont les mêmes, mais les abscisses ont été corrigées en $V_P - V_G$ et $V_N - V_G$ respectivement. Ceci démontre expérimentalement l'explication avancée avec la figure II.9. Le courant qui forme le plateau est injecté aux bornes d'une jonction avec une différence de potentiel $V_G - 0$ car la source est fixée à 0V, d'où l'augmentation de courant lorsque V_G augmente. La partie exponentielle dépend de la seconde jonction, où deux potentiels sont appliqués, soit une dépendance en $V_D - V_G$ pour ce régime.

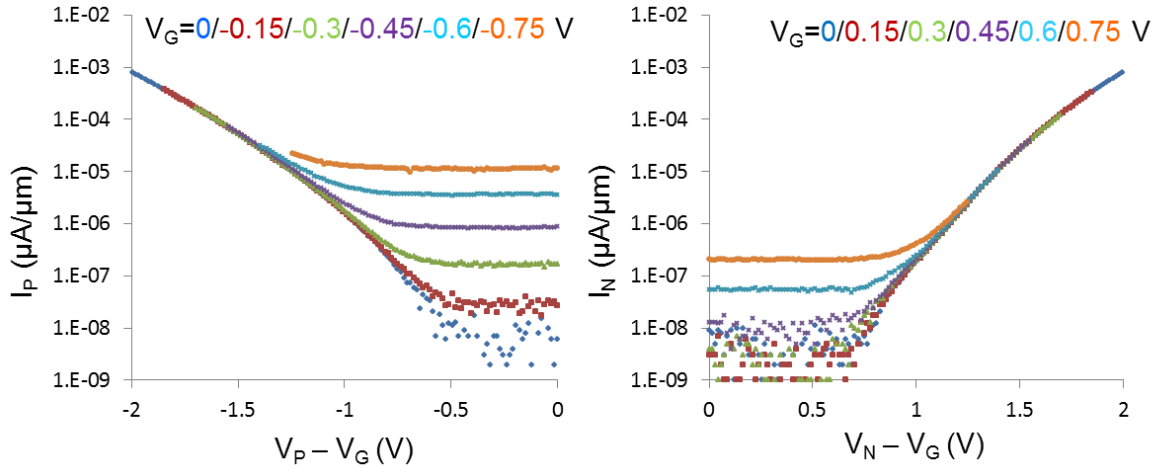


Figure II.11. Caractéristiques $I_D(V_D)$ expérimentales de la figure précédente après correction des abscisses en $V_D - V_G$. La correction des tensions met en évidence la dépendance de la partie exponentielle en $V_D - V_G$, ainsi que l'identité parfaite de cette partie de la courbe, malgré des V_G différents, permettant d'affirmer que la branche exponentielle est uniquement due à l'une des deux jonctions.

3. Cas d'un TFET asymétrique

La figure II.12 présente un second jeu de caractéristiques $I_D(V_D)$ de TFETs, mesurées cette fois sur un dispositif asymétrique. Le comportement en $I_D(V_D)$ des TFETs provient du caractère ambipolaire du dispositif puisque basé sur la compétition entre l'injection aux jonctions source/canal et drain/canal. L'asymétrie du dispositif va affecter également les caractéristiques $I_D(V_D)$ puisque

l'une des jonctions va systématiquement dominer l'autre. Dans le cas de la figure II.12, la jonction N^+ /canal a subi un procédé améliorant l'injection tunnel. La conséquence sur la courbe $I_p(V_p)$ est la disparition de la partie exponentielle. En effet, sur cette caractéristique la jonction N^+ /canal influe sur le régime de plateau de courant, augmentant sa valeur jusqu'à des niveaux élevés, masquant complètement le régime exponentiel de la jonction la plus faible. La caractéristique $I_N(V_N)$ reflète cet effet et possède un premier plateau de courant très faible, voire inexistant pour les valeurs de V_G les plus basses, mais un régime exponentiel fort.

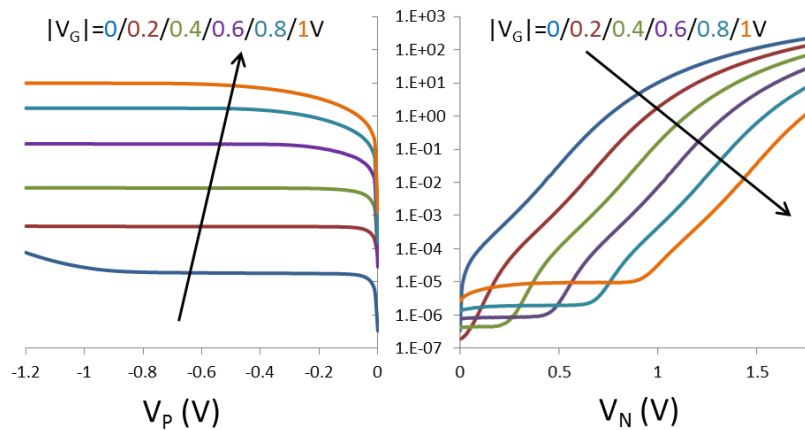


Figure II.12. Mesures $I_p(V_p)$ et $I_N(V_N)$ d'un TFET expérimental, réalisé sur SOI, avec une couche de SiGe dans le canal. La caractéristique de gauche est similaire à une $I_D(V_D)$ de CMOS, mais résulte de l'asymétrie de ce dispositif en particulier.

La superposition de ces deux courbes permet d'analyser l'asymétrie des deux jonctions de manière plus rigoureuse qu'une simple comparaison des courants en mode pTFET et nTFET. La figure II.13 présente la courbe $I_p(V_p)$ précédente superposée à la caractéristique $I_N(V_N)$ mesurée sur le même TFET. Les deux courbes utilisent bien évidemment la même échelle des ordonnées pour les courants, tandis que les abscisses sont indexées dans le même sens (tensions croissantes de gauche à droite) mais avec des valeurs différentes. Ce que nous observons ici d'intéressant est le nombre élevé d'intersections entre ces courbes, qui correspondent à autant de jeux de polarisations différentes pour lesquelles le courant est identique. Le fait que plusieurs couples de polarisations (V_N , V_G) amènent à des courants similaires à un seul couple (V_p , V_G) permet en effet d'affirmer que la jonction N^+ /canal domine le courant du dispositif, puisque la différence de tension entre V_G et V_p , donc l'injection tunnel dans la jonction P^+ /canal n'est pas visible.

Un exemple frappant est encerclé de rouge et détaillé en partie droite de la figure II.13. Il s'agit de l'intersection de la courbe correspondant au couple $V_p = -1.2V$, $V_G = -0.2V$ (V_N étant nul) et du couple $V_G = 0V$, $V_N = 0.2V$ (V_p étant nul). Le fait que le courant dans le TFET soit le même en ces deux points, malgré des conditions dans un cas $V_{PG} = +1V$ et $V_{GN} = +0.2V$ et dans l'autre $V_{PG} = 0V$ et $V_{GN} = +0.2V$ qui se traduisent par un différentiel appliqué aux bornes de la jonction P^+ /canal de $0.8V$ supérieur à celui appliqué aux bornes de la jonction N^+ /canal, qui reste à $0.2V$, démontre ainsi une asymétrie quasi complète, le TFET étant en pratique toujours dominé par son mode p. Par ailleurs, on peut également constater des valeurs précédentes que l'alignement des bandes dans ce TFET est différent de celui proposé sur les schémas d'explications, avec une région dopée P dont les niveaux d'énergie sont proches de ceux du canal intrinsèque, tandis que la région dopée N possède des niveaux d'énergie dans une configuration proche des dispositifs broken-gap.

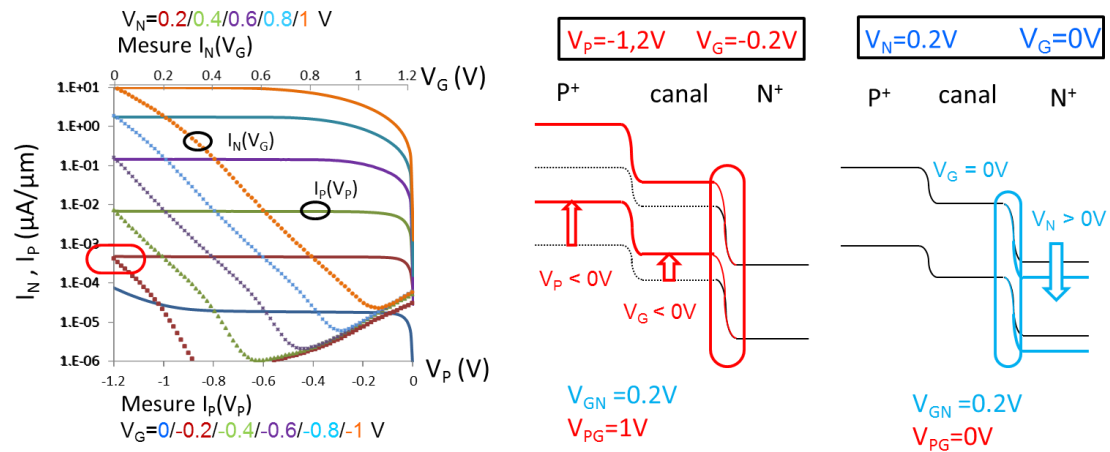


Figure II.13. Gauche: Caractéristiques $I_p(V_p)$ et $I_N(V_G)$ superposées d'un TFET asymétrique. Une seule échelle de courant est utilisée en ordonnée. L'axe inférieur représente le V_p tandis que l'axe supérieur est lié au V_G . Les intersections des courbes indiquent les différents couples de polarisations pour lesquels l'injection tunnel est identique. Les diagrammes de bandes correspondant au point encerclé sont présentés à droite, et démontrent la supériorité du mode p sur ce TFET.

Cette étude nous permet de montrer qu'une fois l'asymétrie acquise, les caractéristiques $I_D(V_G)$ d'un TFET, dans son mode dominant, sont similaires à celles attendues d'un MOSFET. Ceci nous permet de faire le lien avec les résultats précédents, dont nous avons mentionnés qu'ils ne décrivaient pas notre modèle considérant les deux jonctions. Il s'avère que ces articles sont basés sur des résultats de simulations électriques, dans lesquelles il est fréquent d'introduire une asymétrie, qui tendra donc à masquer la présence du second régime exponentiel.

D. Superlinéarité

1. Couplage Drain-Canal

Après avoir étudié les particularités induites par la présence de deux jonctions dans le TFET, il nous reste à étudier l'impact du mécanisme d'injection par effet tunnel sur le couplage entre le canal et les régions source et drain, ainsi que sur les capacités. Nous commencerons en figure II.14 par présenter une simulation du potentiel dans une structure PIN, pour un V_G fixé à 0.6V, et V_N variant entre 0 et 2V. Le TFET fonctionne alors en mode n. On constate sur cette figure que le potentiel de grille est fortement impacté par le potentiel de drain ($\Delta V_G = \Delta V_N$) jusqu'à une valeur V_N de 1.6V. Ceci signifie que sur ce dispositif, une variation de V_N entre 0 et 1.6V va entièrement se répercuter sur le potentiel de grille, impactant donc non pas la jonction canal/drain mais la jonction source/canal.

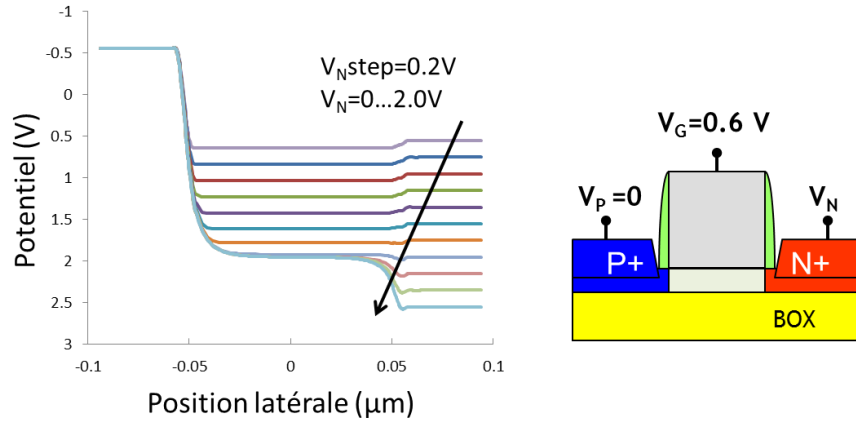


Figure II.14. Simulation d'interaction entre le potentiel de drain et de grille. Dans cette simulation, V_G est fixé à $+0.6V$, V_P à 0 et V_N varie. Le niveau d'énergie est rapporté au niveau dans le canal sans polarisation extérieure. On constate ici l'influence du potentiel de drain sur le canal. Dans cette simulation, entre $V_N=0V$ et $V_N=1.4V$, la variation de V_N se reporte intégralement dans le canal, avant de saturer et de réellement affecter la différence V_G-V_N . Ceci signifie qu'une variation de V_N seul peut impacter la valeur de V_P-V_G , donc l'injection au niveau de la jonction P^+ /canal. Ce phénomène est connu sous le nom de superlinéarité dans les TFETs.

Ce couplage se traduit donc sur des caractéristiques $I_D(V_D)$ comme présenté sur la mesure $I_P(V_P)$ de la figure II.15, et produit une dépendance du courant tunnel injecté par la jonction source/canal (jonction canal/ N^+ dans notre exemple) par rapport à la tension de drain. Ce phénomène donne aux caractéristiques $I_D(V_D)$ de TFETs leur similarité avec celles des MOSFETs, puisqu'il ressemble fortement au régime ohmique du MOS. Cet effet connu sous le nom de superlinéarité a déjà été décrit [Michielis12][Gnani12].

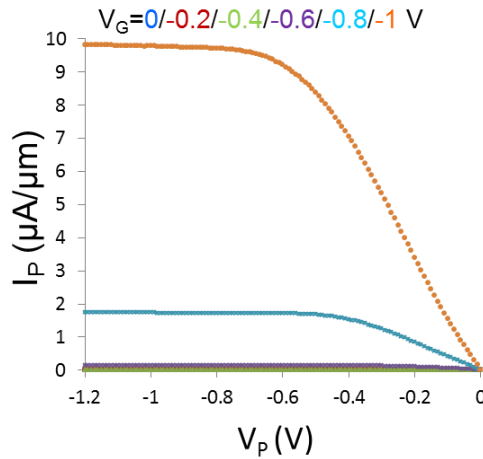


Figure II.15. Mesure $I_P(V_P)$ présentant la superlinéarité, visible ici comme la partie de la courbe présente avant la stabilisation et le plateau de courant. Cette dépendance du courant (généralisé à la jonction N^+ /canal) en V_P s'explique ici via le couplage entre V_P et V_G étudié dans la figure précédente.

2. Effets capacitifs

L'origine de la superlinéarité trouve son origine dans le couplage de potentiel entre le drain et le canal, qui lui-même provient d'un couplage capacitif. La figure II.16 présente deux simulations de capacités grille/drain et grille/source d'un TFET. Les capacités sont données pour plusieurs V_D

entre 0 et 1.0V. La dépendance en V_G - V_D des deux capacités illustre le fait qu'elles sont générées par l'état des jonctions source/canal et canal/drain. D'autre part, les deux capacités ne sont pas symétriques à $V_D=0V$, où C_{GS} et C_{GD} débutent à la même valeur pour $V_G=0V$, mais C_{GD} augmente rapidement lorsque la tension de grille croît, alors que C_{GS} diminue.

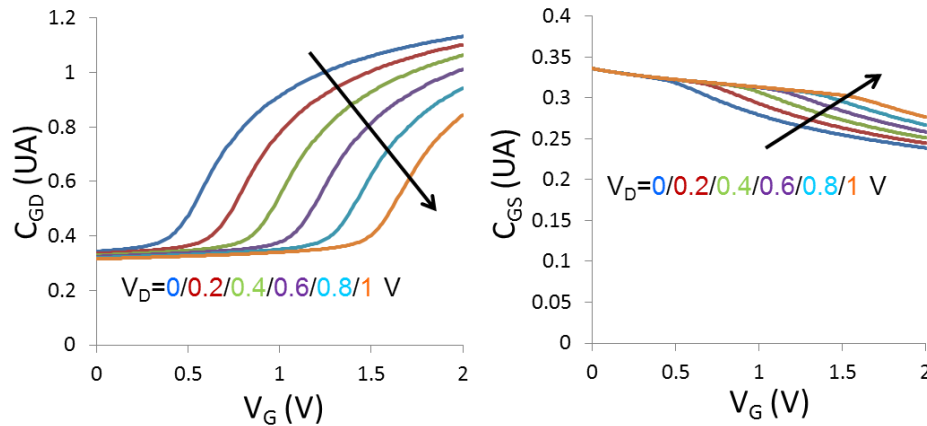


Figure II.16. Simulation des capacités C_{GD} et C_{GS} d'un TFET pour différentes valeurs de V_D . La dépendance de la capacité en V_G - V_D démontre un fonctionnement nettement différent du MOSFET. On constate par ailleurs qu'à $V_D=0V$, les capacités C_{GS} et C_{GD} ne sont pas symétriques, contrairement au MOSFET.

E. Conclusion du chapitre second

Nous avons ici présenté comment l'effet tunnel bande à bande affecte le fonctionnement des transistors, en particulier comparativement au MOSFET. Nous avons commencé par étudier la physique de l'injection tunnel et de l'injection thermoïonique, afin de comprendre pourquoi les TFETs peuvent atteindre des pentes sous le seuil plus faibles que les MOSFETs. Nous avons ensuite analysé l'effet le plus visible de la présence de deux jonctions différentes dans le dispositif, son ambipolarité, et l'impact qu'elle peut avoir sur les fuites. Nous avons ensuite élargi cette analyse à l'impact sur les caractéristiques de sorties des TFETs, et démontré la présence d'un régime en dépendance exponentielle par rapport à la tension de drain, qu'il est donc important de ne pas ignorer. Enfin, toujours en considérant la présence simultanée des deux jonctions, nous avons pu expliquer la supérlinéarité des TFETs, avec des conclusions qui correspondent aux modèles déjà existants.

F. Bibliographie

- [Alam14] K. Alam, S. Takagi and M. Takenaka, "A Ge Ultrathin-Body n-Channel Tunnel FET: Effects of Surface Orientation," IEEE Trans. Electron Devices, issue 99, 2014.
- [Ben Jamaa09] H. Ben Jamaa, K. Mohanram and G. De Micheli, "Novel library of logic gates with ambipolar CNTFETs: Opportunities for multi-level logic synthesis," DATE 2009 Conf., pp.622-627.
- [Ben Jamaa10] H. Ben Jamaa, K. Mohanram and G. De Micheli, "Power consumption of logic circuits in ambipolar carbon nanotube technology," DATE 2010 Conf., pp.303-306.
- [Ben Jamaa11] H. Ben Jamaa, K. Mohanram and G. De Micheli, "An Efficient Gate Library for Ambipolar CNTFET Logic," IEEE Trans. Comp. Des. Int. Circ. Syst., vol. 30, no. 2, pp. 242-255, 2011.
- [Gnani12] E. Gnani, S. Reggiani, A. Gnudi, and G. Baccarani, "Drain-conductance optimization in nanowire TFETs," in Proc. ESSDERC., Sep. 2012, pp. 105–108.
- [Hutin09] L. Hutin, M. Vinet, T. Poiroux, C. Le Royer, B. Previtali, C. Vizios, D. Lafond, Y. Morand, M. Rivoire, F. Nemouchi, V. Carron, T. Billon, S. Deleonibus and O. Faynot, "Dual metallic source and drain integration on planar Single and Double Gate SOI CMOS down to 20nm: Performance and scalability assessment," in Proc. Int. Electron Devices Meeting, 2009.
- [Mallik12] A. Mallik and A. Chattopadhyay, "Observation of Current Enhancement Due to Drain-Induced Drain Tunneling in Tunnel Field-Effect Transistors," Jap. J. Appl. Phys., vol. 51, 2012.
- [De Marchi10] M. De Marchi, H. Ben Jamaa and G. De Micheli, "Regular fabric design with ambipolar CNTFETs for FPGA and structured ASIC applications," IEEE Int. Symp. Nano. Arch., 2010, pp.65-70.
- [De Michielis12] L. D. Michielis, L. Lattanzio, and A. M. Ionescu, "Understanding the superlinear onset of tunnel-FET output characteristic," IEEE Electron Devices Lett., vol. 33, no. 11, pp. 1523–1525, Nov. 2012.
- [Schmidt12] M. Schmidt, R.A. Minamisawa, S. Richter, A. Schäfer, D. Buca, J.M. Hartmann, Q.T. Zhao and S. Mantl, "Unipolar behavior of asymmetrically doped strained Si_{0.5}Ge_{0.5} tunneling field-effect transistors," Appl. Phys. Lett., vol. 101, 2012.
- [Sze69] S.M. Sze, "Physics of semiconductor devices," Wiley, New York, 1969.
- [Verhulst07] A.S. Verhulst, W.G. Vandenberghe, K. Maex and G. Groeseneken, "Tunnel field-effect transistor without gate-drain overlap," Appl. Phys. Lett., vol. 91, 2007.
- [Verhulst11] A.S. Verhulst, D. Leonelli, R. Rooyackers, and G. Groeseneken, "Drain voltage dependent analytical model of tunnel field-effect transistors," J. Appl. Phys., vol. 110, no. 2, 2011.
- [Villalon12] A. Villalon, C. Le Royer, M. Casse, D. Cooper, B. Previtali, C. Tabone, J.M. Hartmann, P. Perreau, P. Rivallin, J.F. Damlencourt, F. Allain, F. Andrieu, O. Weber, O. Faynot and T. Poiroux, "Strained tunnel FETs with record ION: first demonstration of ETSOI TFETs with SiGe channel and RSD," VLSI Symp. Tech. Dig., 2012, pp.49-50.

[Villalon13] A. Villalon, C. Le Royer, M. Casse, D. Cooper, J.M. Hartmann, F. Allain, C. Tabone, F. Andrieu and S. Cristoloveanu, "Experimental Investigation of the Tunneling Injection Boosters for Enhanced ION ETSOI Tunnel FET," IEEE Trans. Electron Devices, vol. 60, no. 12, pp. 4079-4084, 2013.

[Villalon14] A. Villalon, G. Le Carval, S. Martinie, C. Le Royer, M.A. Jaud, and S. Cristoloveanu, "Further Insights in TFET Operation," IEEE Trans. Electron Devices, vol. 61, no. 8, pp. 2893-2898, 2014.

[Yeo10] Y.C. Yeo, G. Han, Y. Yang, and P. Guo, "Strain Engineering and Junction Design for Tunnel Field-Effect Transistor," ECS Trans., vol. 33, no. 6, pp.77-87, 2010.

[Zhang06] Q. Zhang, W. Zhao and A. Seabaugh, "Low-Subthreshold-Swing Tunnel Transistors," IEEE Electron Device Lett., vol. 27, no. 4, pp.297-300, 2006.

[Zhao11] Q.T. Zhao, W.J. Yu, B. Zhang, M. Schmidt, S. Richter, D. Buca, J.M. Hartmann, R. Luptak, A. Fox, K.K. Bourdelle and S. Mantl, "Tunneling field-effect transistor with a strained Si channel and a Si_{0.5}Ge_{0.5} source," Proc. Of the ESSDERC, vol. 56, no. 10, pp. 251-254, 2011.

III. Penultième chapitre : Transistors TFETs co-intégrés en technologie FDSOI planaire

A. Présentation du processus planaire tri-couche SiGe/SOI

1. Enchaînement des étapes.

Dans un premier temps, des transistors à effet tunnel bande à bande (TFET) ont été réalisés sur des substrats silicium complètement déplété sur isolant (FDSOI) de 300mm de diamètre. La fabrication de ces transistors a suivi des procédés compatibles avec ceux des n et p MOSFETs, afin de permettre une co-intégration des deux types de dispositifs. Les étapes principales du procédé de fabrication sont rapportées ici :

- 1) Une structure tri-couche est obtenue par croissance épitaxiale de $\text{Si}_{1-x}\text{Ge}_x$ (x allant de 0 à 30%) sur le SOI, suivie d'un fin dépôt de silicium servant de couche interfaciale. Ceci permet d'induire de la contrainte mécanique dans le matériau SiGe, dont le paramètre de maille prend la valeur de celui du substrat SOI. La couche interfaciale permet de limiter la présence de défauts à l'interface de la grille avec le SiGe.
- 2) La grille est déposée avec un empilement d'oxyde à forte permittivité (High-K), une couche métallique puis un dépôt de silicium poly-cristallin.
- 3) Les premiers espaceurs sont déposés, suivis des régions source et drain, réalisées par dépôt épitaxial de $\text{Si}_{0.7}\text{Ge}_{0.3}$. Ces sources et drains surélevés (RSD) augmentent la contrainte mécanique dans le canal, et permettent par ailleurs la création d'une hétérojonction aux interfaces entre le canal et les jonctions.
- 4) Contrairement au CMOS, où source et drain sont implantées avec les mêmes types de dopants, différents selon que l'on souhaite obtenir un pMOSFET ou un nMOSFET, le TFET possède une extension n (dopée à l'arsenic) et une extension p (dopée au bore) sur le même dispositif. Le procédé d'implantation ionique et les doses sont similaires au cas du MOSFET. Les seconds espaceurs sont formés entre l'implantation des extensions et celle des RSD.
- 5) Après un recuit d'activation des dopants, les RSD sont siliciurées suivant un procédé à base de nickel, afin de former du NiSi. Cette étape est suivie de la formation de la couche d'arrêt de gravure, ou CESL (contact etch stop layer), puis d'une couche de diélectrique inter-niveau (ILD, inter layer dielectric) permettant d'isoler les transistors et d'assurer la tenue mécanique.
- 6) Les contacts sont formés, suivis par un procédé back-end standard.

La figure III.1 présente une description schématique de l'évolution du transistor à effet tunnel au cours de sa fabrication.

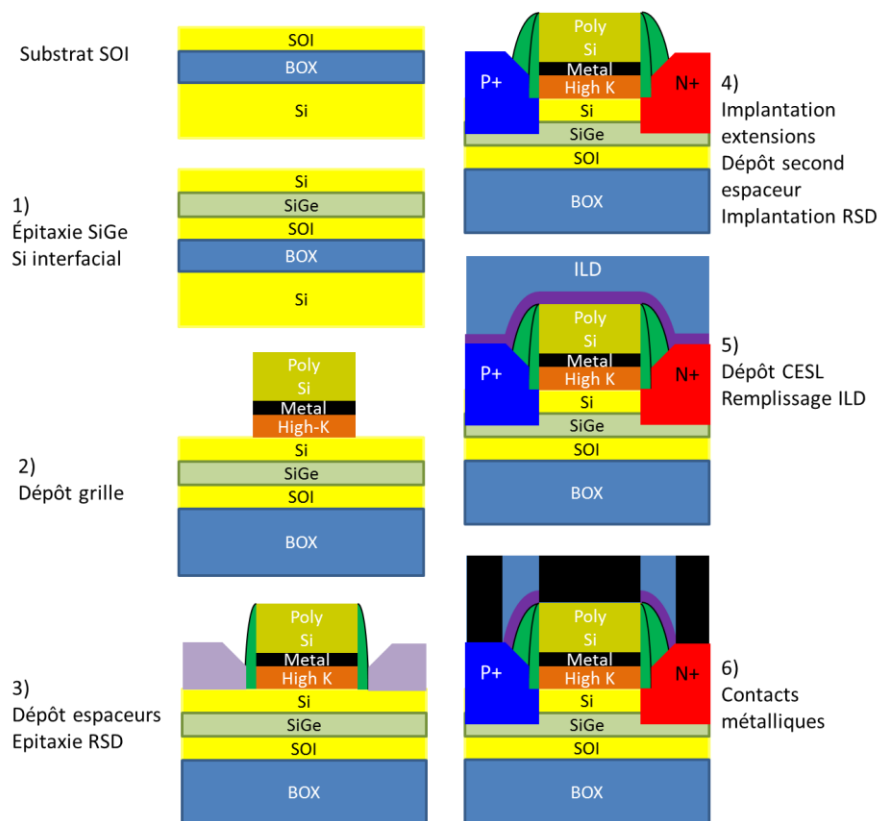


Figure III.1. Détail du procédé de fabrication d'un TFET. En dehors de la présence à la fois d'une région N^+ et d'une région P^+ sur le même dispositif, le procédé est similaire à celui utilisé pour la fabrication de MOSFETs. Partant d'un substrat SOI, on crée par épitaxie une couche de SiGe et une couche de silicium interfaciale. On dépose ensuite l'empilement de grille (High-K, métal, Si polycristallin), avant de réaliser les espaceurs et l'épitaxie des zones de source et drain surélevées (RSD). On implante ensuite les extensions P^+ et N^+ , avant de réaliser un second espaceur, puis d'implanter les RSD. Enfin, la suite du procédé implique le dépôt d'une couche d'arrêt de gravure, le remplissage par un diélectrique afin d'assurer la stabilité du niveau, ainsi que l'isolement entre les transistors et le dépôt de contacts métalliques.

La figure III.2 donne le récapitulatif de ce procédé de fabrication, de manière plus condensée, en notant simplement l'enchaînement des étapes technologiques réalisées (on parle de process flow). Les étapes pour lesquelles des variantes ont été réalisées sont notées avec deux symboles en dérivation. On peut noter que chaque TFET nécessite une implantation de dopants n (As) puis p (BF_2), mais que cela n'impacte pas le procédé global de fabrication d'un circuit qui nécessite la présence de nMOSFETs et pMOSFETs.

Outre la non spécificité du processus d'intégration, qui permet d'obtenir des TFETs co-intégrés aux MOSFETs, la présence d'un canal tri-couche Si/SiGe/Si améliorera les propriétés électrostatiques, et sera bénéfique pour les TFETs.

D'autre part, l'utilisation d'une structure en triple couche dans le canal, avec un empilement vertical Si/SiGe/Si, permet dans le cas des TFETs d'obtenir l'avantage d'une hétérojonction entre la source et la couche de SiGe du canal.

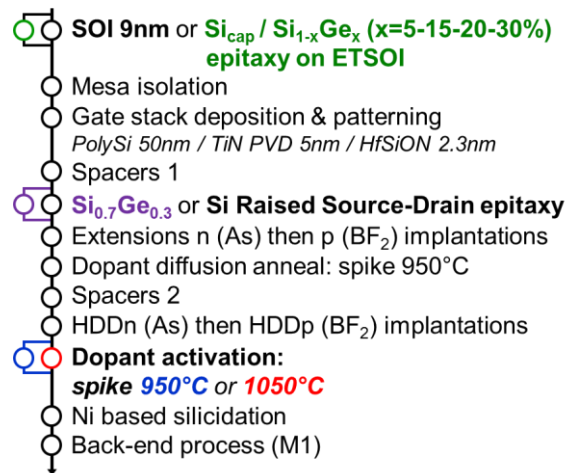


Figure III.2. Récapitulatif des étapes du procédé de fabrication. Certaines étapes possèdent plusieurs variantes, ou splits, qui permettront de comparer différentes structures de TFET.

2. Présentation des splits étudiés

Afin d'isoler et d'évaluer l'efficacité individuelle de ces différents boosters sur l'injection tunnel, les structures fabriquées possédaient de nombreuses variantes, ou splits, présentées en figure III.3. Ces splits incluent:

- la concentration de germanium dans la couche de SiGe du canal (0%, 5%, 10%, 15%, 20% et 30%)
- l'épaisseur de la couche du canal (de 6.7nm à 14.6nm)
- la présence de RSD en SOI ou Si_{0.7}Ge_{0.3}
- la température de recuit après implantation des dopants (950°C ou 1050°C).

Les effets correspondants sur le TFET sont respectivement: la variation du bandgap du matériau de canal, le contrôle électrostatique sur le transistor, la présence d'une hétérojonction entre le canal et la source et l'abrupte de la jonction source/canal.

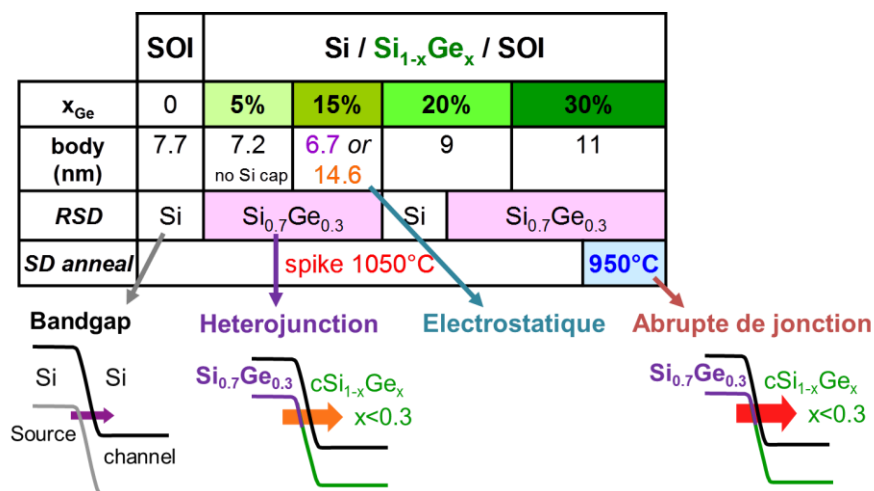


Figure III.3. Détail des différentes structures fabriquées ainsi que leurs particularités. Les principaux effets que l'on cherche à étudier sont explicités : l'effet du bandgap du matériau de canal, l'effet de l'hétérojonction, l'amélioration de l'électrostatique et enfin l'abrupte de jonction.

B. Caractérisation des transistors MOS

Les caractérisations physiques sont réalisées sur des MOSFETs, mais du fait des procédés de fabrication similaires, nous donnons des informations utilisables sur les TFETs. Pour cela, et également en raison du faible nombre de dispositifs TFETs réalisés sur ce lot, les caractérisations physiques sur MOSFETs sont donc privilégiées.

Les caractérisations électriques de MOSFETs présentent également plusieurs intérêts : d'une part les extractions de paramètres peuvent s'appliquer aux TFETs (comme pour l'épaisseur d'oxyde de grille équivalente ou EOT), d'autre part elles permettent de comparer les performances des MOSFETs et TFETs.

1. Caractérisation physique : images MEB et TEM

La figure III.4 présente des images obtenues au microscope électronique à balayage (MEB). On y distingue le dispositif en entier, avec zones source et drain sur les côtés et la grille qui vient les recouvrir au niveau du canal. Les mesures MEB permettent de vérifier la position de la grille sur le canal, ainsi que l'absence de défaut majeur sur la structure. L'image présentée ici est obtenue après la gravure de la grille. On peut donc y observer les dimensions de la future grille ($L_G=28\text{nm}$ et $W=100\text{nm}$ dans ce cas particulier) ainsi que les futures régions dopées qui formeront la source et le drain.

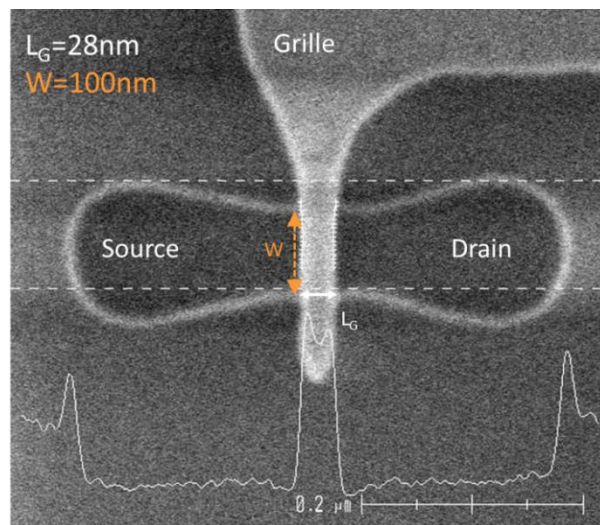


Figure III.4. Image MEB d'une structure montrant la grille ainsi que les futures régions dopées qui formeront la source et le drain du transistor. Les dimensions de ce dispositif particulier sont $L_G=28\text{nm}$ et $W=100\text{nm}$. L'échelle d'origine est fournie en bas de la mesure.

Une analyse TEM est beaucoup plus précise qu'une image MEB, et permet même d'observer la position des atomes dans la structure. On peut ainsi obtenir des informations sur la qualité cristalline du canal, et également sur les contraintes ou les différences de matériaux. La position des atomes permet en effet de calculer la distance interatomique et en la comparant aux valeurs obtenues dans des zones relaxées, d'en déduire la valeur des déformations locales. La figure III.5 montre une coupe TEM d'un transistor, réalisée sur le dispositif final. On en extrait les différentes dimensions importantes (épaisseur du canal, longueur de grille, taille des espaceurs...). Sur cette figure, nous avons une vue d'ensemble du transistor, incluant le CESL, le diélectrique inter-couche, ainsi que les

contacts métalliques et la siliciuration. Une partie d'une autre coupe TEM focalisée sur le canal est proposée, avec une cartographie des déformations associée. La bonne qualité du canal du dispositif final est visible, ainsi que sa structure tri-couche, comme annoncé : Si/SiGe/Si, le SiGe étant identifiable grâce aux déformations ; les deux couches de silicium sont relaxées, alors que la couche de SiGe est déformée par rapport au Si relaxé, du fait de paramètre de maille plus faible.

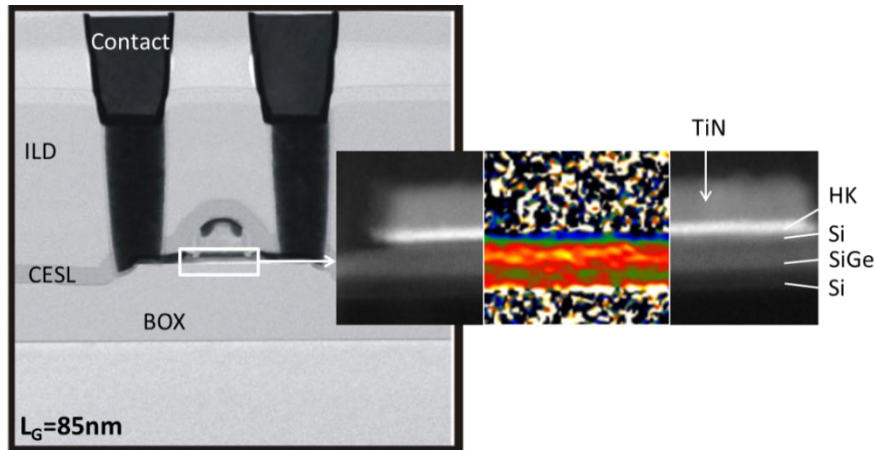


Figure III.5. Coupe TEM d'un transistor MOSFET. La vue d'ensemble permet d'observer les détails de la structure mentionnés dans la figure III.1, tels que le CESL, l'ILD et les contacts métalliques. L'insert est issu d'une autre mesure du canal accompagnée d'une cartographie de déformation. On peut ainsi mettre en évidence la structure tricouche du canal, la couche de SiGe étant contrainte (et apparaissant en rouge) tandis que les deux couches de silicium sont relaxées et apparaissent en vert.

2. Caractérisation électrique : $I_D(V_G)$, $I_{OFF}(I_{ON})$ et $C(V)$

Nous profiterons de la présentation des caractéristiques électriques des MOSFETs pour mettre en évidence les grandeurs que l'on extrait de ces différentes mesures. La figure III.6 présente une caractéristique $I_D(V_G)$. La longueur de grille L_G de ce transistor est de 40nm, sa largeur W de 80nm. C'est à partir de courbes comme celle-ci que sont extraites expérimentalement les grandeurs : V_{th} , la tension de seuil, I_{ON} le courant en régime de saturation et I_{OFF} le courant en régime bloquant, que l'on peut mesurer absolues ou relatives à V_{th} , ainsi que la pente sous le seuil (augmentation de V_G nécessaire pour augmenter le courant d'une décade) ou encore le DIBL, qui est la variation de V_{th} entre deux mesures réalisées à différent V_D .

En se basant sur des courants I_{ON} et I_{OFF} relatifs à la tension seuil, le tracé de $I_{SAT}(I_{OFF})$ est un mode habituel de comparaison des performances des transistors MOSFETs, et est représenté en figure III.7. Le courant d'un transistor MOSFET évolue en inverse de L_G , en reportant les points obtenus pour différentes longueurs de grille on obtient alors une caractéristique. Sur un tel graphique, l'objectif est d'obtenir des I_{ON} élevés, pour des courants I_{OFF} aussi faibles que possible. La pente d'une telle caractéristique est proportionnelle à la mobilité dans le canal du MOSFET. Enfin, il est intéressant de noter pour la suite que le courant dans les TFETs étant indépendant de L_G , les données relatives à ces derniers forment donc un nuage de points très focalisé. La comparaison de MOSFETs et TFETs sur ce type de graphique nécessitera donc de faire des choix dans les dimensions retenues pour les MOSFETs.

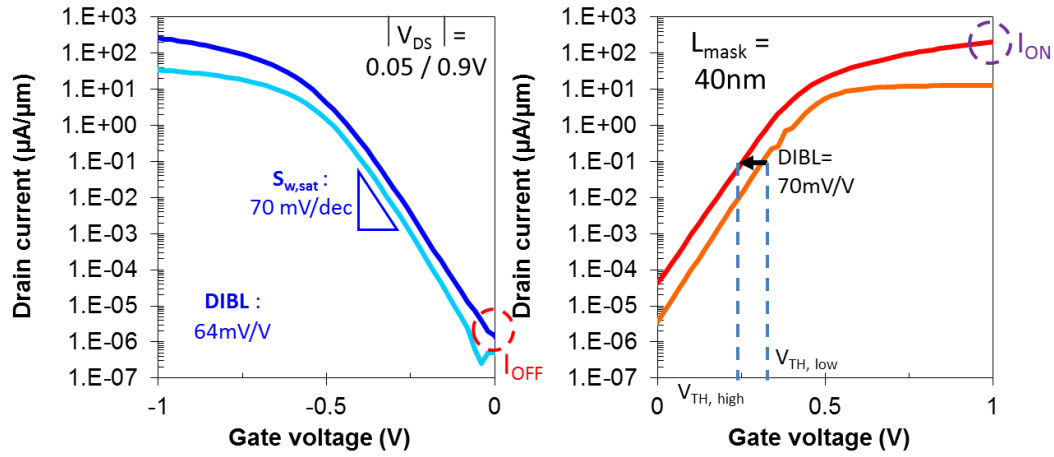


Figure III.6. Caractéristiques $I_D(V_G)$ de pMOSFET (Gauche) et nMOSFET (Droite), de dimensions $L_G=40\text{nm}$ et $W=80\text{nm}$. Sont rapportées sur la courbe du nMOSFET les tensions de seuil extraites à fort et faible V_D (respectivement $V_{th, high}$ et $V_{th, low}$). Le DIBL, qui mesure la variation de tension de seuil du dispositif en fonction de la variation de tension de drain peut se calculer à partir des différences entre $V_{th, high}$ et $V_{th, low}$. La pente sous le seuil, notée ici dans le cas du pMOSFET $S_{w,sat}$ est également représentée.

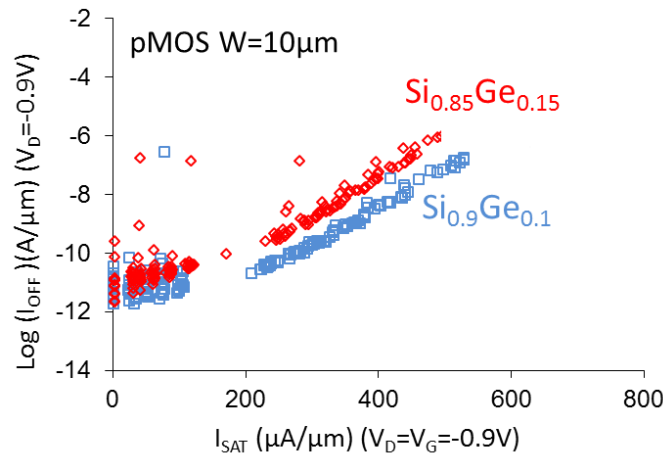


Figure III.7. $I_{SAT}(I_{OFF})$ sur deux pMOSFETs présentant une couche de SiGe différente dans le canal. Le courant des MOSFETs dépendant de leur longueur de grille, on a à largeur fixée, un faisceau de points correspondants à des L_G variés. La pente de la courbe ainsi obtenue dépend de la mobilité des porteurs dans le dispositif.

Dans une mesure $C(V)$, la capacité de grille est mesurée en fonction de la tension de grille appliquée. Les mesures $C(V)$ permettent, connaissant les dimensions physiques du transistor, d'en déduire l'EOT ou épaisseur d'oxyde équivalente, qui serait l'épaisseur d'oxyde de silicium (constante diélectrique de 3,9) nécessaire afin d'obtenir la même capacité de grille. Cette mesure est présentée en figure III.8 pour tous les différents canaux étudiés dans ce chapitre. On note une EOT supérieure pour les canaux Si/SiGe/Si par rapport au silicium pur (respectivement 1.25nm contre 1.12nm), qui correspond au fait que la couche interfaciale de silicium ne participe pas pleinement à la conduction, et se comporte donc en partie comme une capacité.

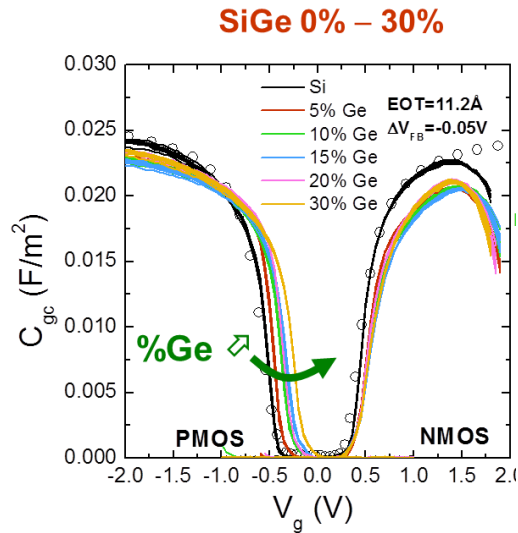


Figure III.8. Mesure C(V) réalisée sur les dispositifs CMOS. Chaque courbe correspond à un matériau de canal différent (concentration de Ge de la couche de SiGe variable). Le modèle que l'on applique pour l'extraction de paramètres d'EOT est représenté par les cercles. L'impact de la couche de germanium sur la tension de bandes plates V_{FB} est plus important dans le cas des pMOS. Les valeurs d'EOT extraites de ces mesures sont de 1.12 nm dans le cas d'un canal silicium, et de 1.25nm dans le cas d'un canal tricouche Si/SiGe/Si [Villalon12]. Mesure : M. Cassé.

C. Caractérisation des TFETs

Après avoir présenté des caractérisations électriques et physiques sur les MOSFETs, nous allons maintenant passer à la caractérisation électrique des TFETs, qui dans cette thèse sera toujours séparée en deux sections distinctes. La première regroupe les analyses servant à valider un fonctionnement TFET, alors que la seconde se focalisera sur les performances des dispositifs une fois attesté qu'il s'agit bien de transistors à effet tunnel. Il n'y a pas lieu ici de proposer d'avantage de caractérisations physiques, puisque MOSFETs et TFETs sont co-intégrés sur les mêmes wafers, avec des différences dans les procédés de fabrication minimales.

1. **Caractérisation comportementale : différencier le fonctionnement TFET**

Comme nous l'avons vu lors dans l'étude bibliographique, les réalisations expérimentales de TFETs avaient déjà démontré bien avant le début de ces travaux la possibilité d'atteindre des pentes inférieures à la limite thermoionique de 60mV/dec à température ambiante. Toutefois, aucune démonstration n'avait alors réussi à dépasser des courants normalisés (en $\mu A/\mu m$) de l'ordre de grandeur de l'unité. Confronté à une structure PiN présentant des pentes inférieures à la limite des 60mV/dec, la justification du fonctionnement par injection tunnel bande à bande n'est pas nécessaire. Toutefois, les dispositifs expérimentaux obtenus dans le cadre de cette étude possèdent des pentes supérieures à 60mV/dec et des courants bien supérieurs à l'état de l'art d'alors, comme nous le verrons dans la partie idoine. Il convient dès lors de confirmer que nous sommes bien en présence de TFETs et non de MOSFETs, et pour ce faire, d'imaginer puis de réaliser des caractérisations permettant de différencier les deux mécanismes d'injection.

c) *Modèle de Kane*

La première vérification effectuée consiste à comparer les données aux modèles de courant tunnel existants. Le modèle de Kane [Kane61][Wan11][Bardon10], utilisé dans de nombreux simulateurs, stipule que le courant tunnel dans un TFET suit l'équation III.1 :

$$I_D = A \cdot V_G^2 \cdot e^{-B/V_G}$$

Equation III.1. Dépendance du courant de drain d'un TFET en fonction de la tension de grille d'après le modèle de Kane. Les valeurs numériques des coefficients A et B sont encore discutées.

Le modèle originel fait intervenir le champ électrique dans la structure ainsi que les valeurs du bandgap du matériau de canal élevé à différentes puissances. Dans le cas où V_D est faible devant V_G , il est possible d'approximer le champ avec le potentiel de grille, le facteur issu du calcul du gradient pouvant être absorbé par la constante A. De même les apparitions du bandgap peuvent être incorporées dans les constantes A et B pour clarifier le calcul. Ces simplifications atténuent fortement le lien de l'équation III.1 avec la physique par rapport à l'original, mais sont parfaitement adaptées pour l'utilisation que nous souhaitons en faire. Nous allons en effet extraire des mesures $I_D(V_G)$ réalisées sur nos transistors le coefficient B de ce modèle. Sa valeur nous importe peu, mais nous tenons à montrer que ce coefficient est bien constant sur toute la plage de validité du modèle. Pour ce faire nous reporterons donc le logarithme du courant divisé par le carré de la tension de grille en fonction de l'inverse de la tension de grille. La pente d'une telle courbe est la constante B telle que définie dans l'équation III.1.

La figure III.9 représente cette méthode appliquée à deux types de pTFETs différents, pour chacun à température ambiante ou à 125°C. On observe bien à chaque fois des droites (donc pente B constante). D'autre part, on peut ici voir que le B n'est pas le même pour les deux pTFETs, et qu'il varie en fonction de la température, ce qui s'explique par les approximations faites ci-dessus, au cours desquelles le bandgap a été intégré au coefficient B, ce qui explique à la fois sa variation en fonction du matériaux de canal, ainsi que la légère variation en température.

Notre méthode est appliquée sur la figure III.10 aux n et p TFETs réalisés avec une structure canal tricouche Si/Si_{0.7}Ge_{0.3}/SOI et un recuit de 950°C, pour des $|V_D|$ variant de 0.2 à 1.0 V. On constate ici que la linéarité est respectée aussi bien pour le pTFET que pour le nTFET. D'autre part, on voit les limites des simplifications opérées en début de partie. En effet pour les valeurs de V_D élevées, les courbes du pTFET perdent en linéarité.

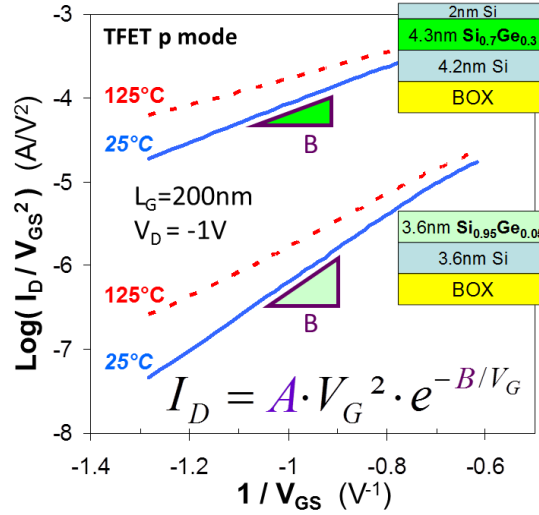


Figure III.9. Analyses basées sur le modèle de Kane. L'équation supposée par le modèle est rappelée sous la courbe. La fonction tracée en ordonnée par rapport à l'inverse de V_{GS} en abscisse permet d'obtenir une courbe de pente B constante si le courant dans le dispositif suit bien le modèle [Wan11, Bardonn10]. Deux pTFETs sont étudiés ici, à température ambiante et à 125°C.

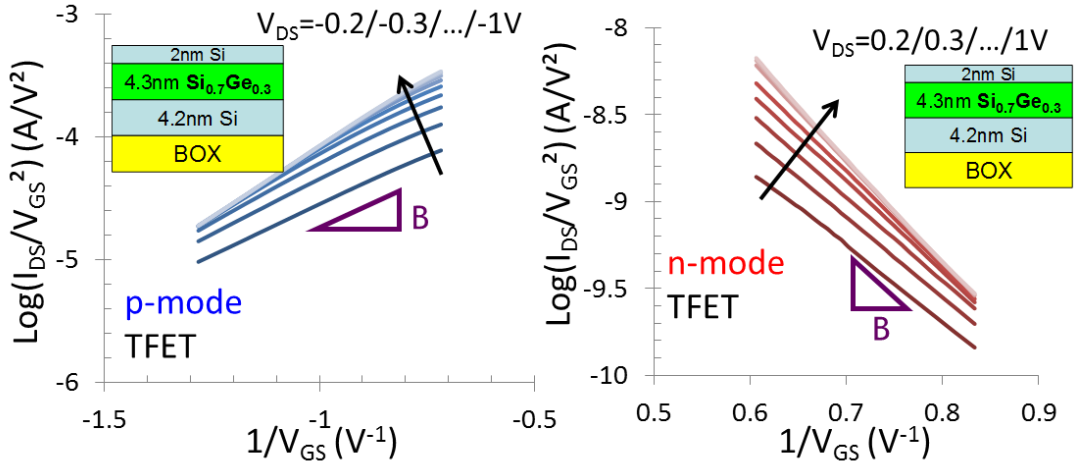


Figure III.10. Modèle de Kane appliqué aux pTFETs et nTFETs, pour différentes tensions de drain V_{DS} . La linéarité de la courbe dans la région de l'injection montre la conformité avec le modèle [Villalon13a].

A titre de comparaison, la figure III.11 montre la même fonction appliquée au courant d'un pMOSFET. L'échelle en abscisse n'est évidemment pas la même, pour deux raisons : le V_{th} du pMOSFET est plus faible que celui du TFET (optimisation du procédé de fabrication pour les dispositifs MOSFETs) et la pente sous le seuil du TFET est supérieure. On constate sur cette figure que le logarithme du courant par la tension de grille au carré rapporté en fonction de l'inverse de la tension de grille ne donne pas une droite. Ceci ne dénote pas une erreur dans le modèle de Kane, mais simplement le fait que les dispositifs MOSFETs, avec leur injection thermoionique, ne sont pas dans son domaine de validité.

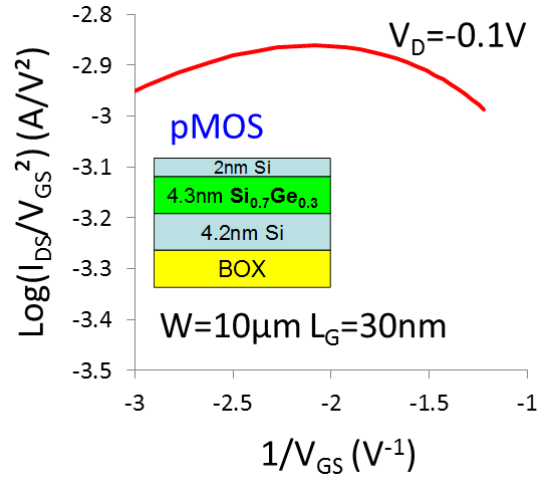


Figure III.11. Modèle de Kane appliqué à un pMOS à canal Si/Si_{0.7}Ge_{0.3}/SOI. Le pMOSFET provient de la même plaque que les TFETs testés en Fig. III.10. La courbe obtenue n'est pas une droite, car le courant de drain ne vérifie pas l'équation supposée dans le modèle de Kane [Villalon13a].

d) Dépendance en température

Une autre étude réalisée pour caractériser un comportement TFET a porté sur des mesures en température. La réponse en température des TFETs a fait l'objet de plusieurs publications ces dernières années [Born06][Guo09]. Nous avons donc choisi de réaliser, à fins de comparaisons, des mesures $I_D(V_G)$ à haute température, à la fois sur nos structures TFETs et MOSFETs. Les I_{ON} extraits de ces mesures ont ensuite été comparés en fonction de la température. Le résultat est présenté en figure III.12, et montre un comportement nettement différent entre les deux structures. Dans le cas du MOSFET, une augmentation de température diminue la mobilité et dégrade le courant, tandis que dans le TFET, une augmentation de la température va diminuer le bandgap du matériau de canal, et augmenter le courant.

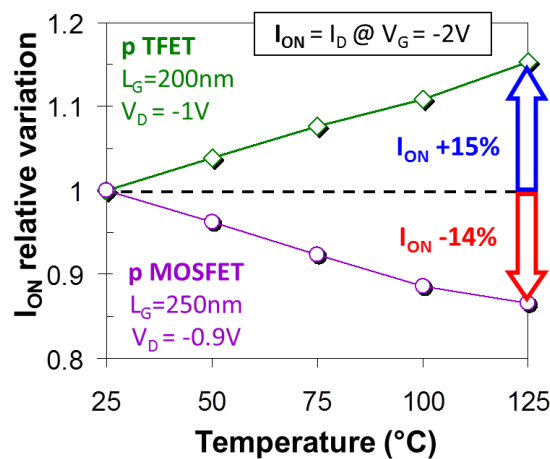


Figure III.12. Extractions des courants I_{ON} en fonction de la température pour un TFET et un MOSFET. On constate que le I_{ON} des TFETs augmente quand la température augmente, du fait de la réduction du bandgap. Dans le MOSFET, le courant diminue quand la température augmente, du fait de la dégradation de mobilité [Madhavi00].

e) Impact de la longueur de grille

La dernière analyse comportementale proposée dans ce chapitre sera la comparaison de deux caractéristiques $I_D(V_G)$ de TFETs possédant des longueurs de grille différentes, présentée en figure III.13. En effet, nous avons déjà présenté dans la partie introductive l'indépendance du courant tunnel à la longueur de grille. Ceci est parfaitement illustré par le fait que les courants du TFET de $L_G=1\mu\text{m}$ et $L_G=0.1\mu\text{m}$ sont égaux. Ce phénomène très visible permet également d'écarter l'hypothèse de MOSFETs, pour lesquels le courant est inversement proportionnel à la longueur de grille.

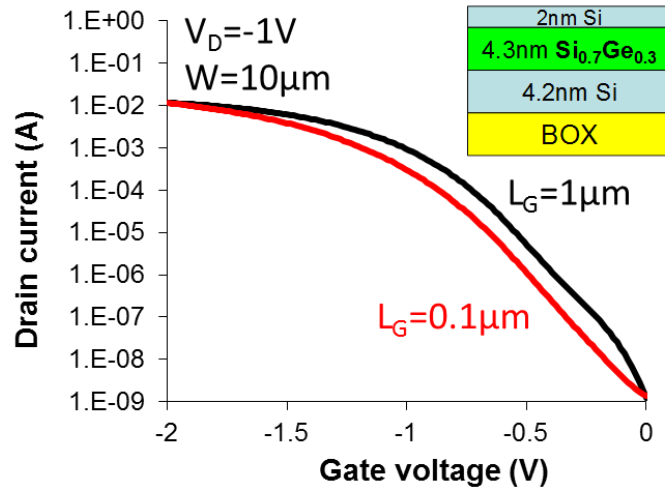


Figure III.13. Caractéristiques $I_D(V_G)$ de deux pTFETs de longueurs de grilles différentes ($1\mu\text{m}$ et $0.1\mu\text{m}$). Le courant à l'état ON ne montre aucune différence entre les deux structures. Ceci est caractéristique des transistors à effet tunnel pour lesquels la longueur de grille n'entre pas dans les paramètres influant le courant.

Nous nous sommes focalisés dans cette partie à nous comparer au MOSFET en raison de nos pentes supérieures à 60mV/dec. Toutefois, au vu des dépendances en température ainsi qu'en longueur de grille, nous pouvons aussi exclure le cas des MOS Schottky (possédant des sources et drain métalliques). Une fois l'hypothèse de ces deux types de transistors écartés, et sachant que la structure est PiN, tous les indices tendent à démontrer que nos TFETs fonctionnent bien grâce à l'injection tunnel bande à bande.

2. Caractérisation électrique

Une fois assurés du fonctionnement des TFETs fabriqués, nous allons maintenant nous intéresser à leurs performances. Nous comparerons des dispositifs deux à deux afin d'isoler l'effet de différents paramètres, d'en discuter la pertinence dans le cas de l'optimisation des TFETs, avant de revenir en détail sur le TFET le plus performant obtenu sur ce lot.

f) Impact de l'épaisseur du film de SiGe

La figure III.14 présente les caractéristiques $I_D(V_G)$ obtenues en fonctionnement nTFET et pTFET de deux transistors présentant pour seule différence l'épaisseur de la couche de $\text{Si}_{0.85}\text{Ge}_{0.15}$ dans le canal (2.3nm dans le cas du plus fin, contre 9.7nm dans le cas épais, pour des épaisseurs totales de canal

respectives de 6.7nm contre 14.6nm). Les deux dispositifs possèdent des RSD $\text{Si}_{0.7}\text{Ge}_{0.3}$ ainsi que des épaisseurs de couches de silicium interfacial et inférieur de même épaisseur (1.5nm et 3.5nm respectivement). Les deux courbes sont réalisées avec une tension de drain de 1.0V, et de signe congru au type de la mesure. Le TFET possédant le canal le plus fin est doté d'un courant supérieur de près de deux décades, aussi bien à l'état passant que bloquant, que la référence plus épaisse. Par ailleurs les pentes sont également améliorées dans le cas du canal fin, passant de 150mV/dec à 120mV/dec dans le cas du pTFET. Compte tenu de la similarité des deux dispositifs hormis l'épaisseur de la couche de SiGe présente dans le canal, et par extension de l'épaisseur de tout le canal, il apparaît clair que l'origine de ces gains de performance se situe dans l'amélioration du contrôle électrostatique exercé par la grille sur le dispositif. Bien que l'électrostatique améliore l'injection dans les TFETs comme elle le fait dans les MOSFETs, en modifiant le contrôle de la grille sur le nombre de porteurs disponibles pour participer au courant, dans le cas des TFETs, une meilleure électrostatique va également diminuer la longueur tunnel, qui intervient comme une constante primordiale dans le phénomène BtBT. Il apparaît également que l'électrostatique affecte le dispositif dans son ensemble, du moins le canal, et aura donc des répercussions sur les deux jonctions, entraînant une augmentation aussi bien du courant I_{ON} qu' I_{OFF} du fait de l'ambipolarité des TFETs. Afin de pouvoir pleinement profiter des faibles épaisseurs de canal pour améliorer les TFETs, il conviendra donc de coupler cette structure fine avec un mécanisme de diminution de l'ambipolarité.

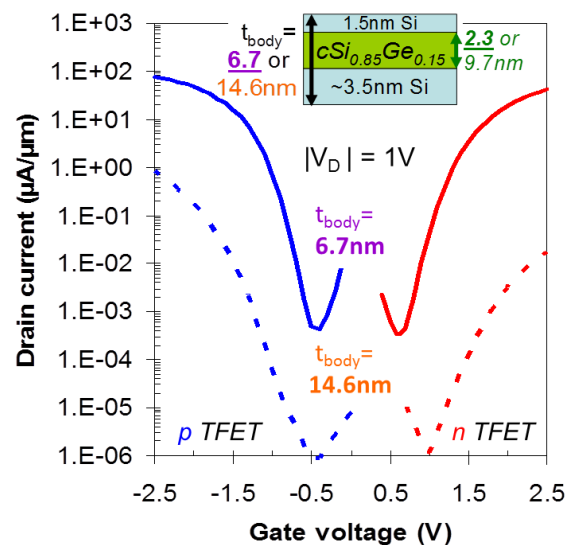


Figure III.14. Caractéristiques $I_D(V_G)$ de TFETs en mode n et p. Nous comparons ici un transistor possédant une épaisseur totale de canal (somme des trois couches, comme indiqué en insert) de 14.6nm avec un autre de 6.7nm. La variation de cette épaisseur totale s'explique par une variation de l'épaisseur de la couche de SiGe épitaxiée (9.7nm contre 2.3nm respectivement), toutefois, la concentration en germanium restait la même à 15%. On constate que la structure la plus fine possède un courant plus important, aussi bien en mode n qu'en mode p, de près de 2 décades [Villalon12].

g) Matériaux à faible bandgap et hétérojonction

Nous allons ici comparer des TFETs réalisés entièrement en silicium (canal SOI et RSD en Si) avec des dispositifs possédant une couche de $\text{Si}_{0.8}\text{Ge}_{0.2}$ dans le canal, ainsi que des RSD $\text{Si}_{0.7}\text{Ge}_{0.3}$. La dispersion des résultats sur ces dispositifs signifie qu'une comparaison entre deux caractéristiques $I_D(V_G)$ peut amener à des conclusions différentes selon qu'on compare les meilleurs dispositifs SOI aux moins performants réalisés avec du SiGe ou vice versa. Nous allons donc utiliser les pourcentages cumulés

de pentes sous le seuil et de courant I_{ON} , représentées pour les pTFETs en figure III.15 et pour les nTFETs en figure III.16. Comme attendu d'après les études bibliographiques [Kim09, Verhulst08] l'utilisation de SiGe dans le canal et les RSD permet de révéler les avantages d'une hétérojonction sur le TFET. Toutefois, l'origine des gains en courant et pente est différente selon que l'on considère le nTFET ou le pTFET. Dans le cas du pTFET, détaillé en figure III.15, on note une amélioration des pentes de 210 à 110mV/dec entre la référence et le dispositif SiGe, ainsi qu'un gain en courant I_{ON} de près de deux décades. Le courant du pTFET est basé sur l'injection d'électrons au niveau de la jonction N^+ /canal et la diminution de E_g obtenue grâce au SiGe se répercute presque entièrement sur une augmentation de E_v [Rieger93], ceci indique donc que le gain de courant s'obtient grâce au changement sur la bande de valence coté canal.

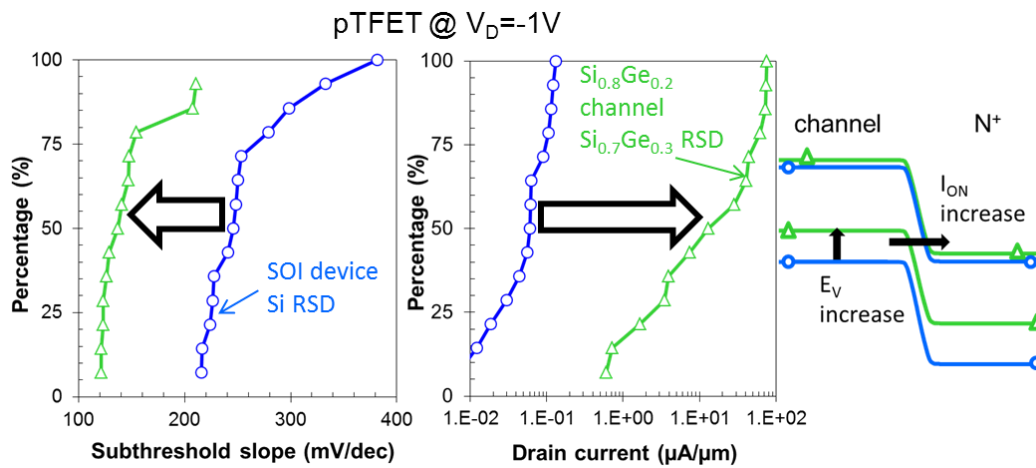


Figure III.15. Pourcentages cumulés de pente sous le seuil et de courant de drain pour des pTFETs entièrement Si (RSD et canal) ou possédant une couche de $Si_{0.8}Ge_{0.2}$ dans le canal et des RSD en $Si_{0.7}Ge_{0.3}$. Le diagramme de bande à droite explique les différences observées : il s'agit ici dans le cas de pTFET d'une injection d'électrons depuis le canal vers la région dopée N^+ , l'augmentation du E_v dans le canal grâce à la présence de la couche de SiGe permet un gain de performance [Villalon13b].

La situation n'est toutefois pas symétrique pour le nTFET, comme le montre la figure III.16, où, bien que la pente ainsi que le courant soient améliorées (de 550mV/dec à 300mV/dec, et gain d'une décade respectivement), ce gain provient de l'augmentation du E_v du côté P de la jonction P^+ /canal. On constate ici que dans le cas d'un TFET, qu'on souhaite le faire fonctionner en mode n ou p, et ce contrairement au MOSFET, les optimisations ne sont pas symétriques :

Dans le cas du nTFET, il convient d'augmenter E_v dans la région P et de diminuer le E_c dans le canal. Dans le cas du pTFET, on préférera augmenter E_v dans le canal et diminuer E_c dans la région N. Nous avons avec cette étude pu montrer l'efficacité de la modification du niveau de bande de valence dans les régions P et canal.

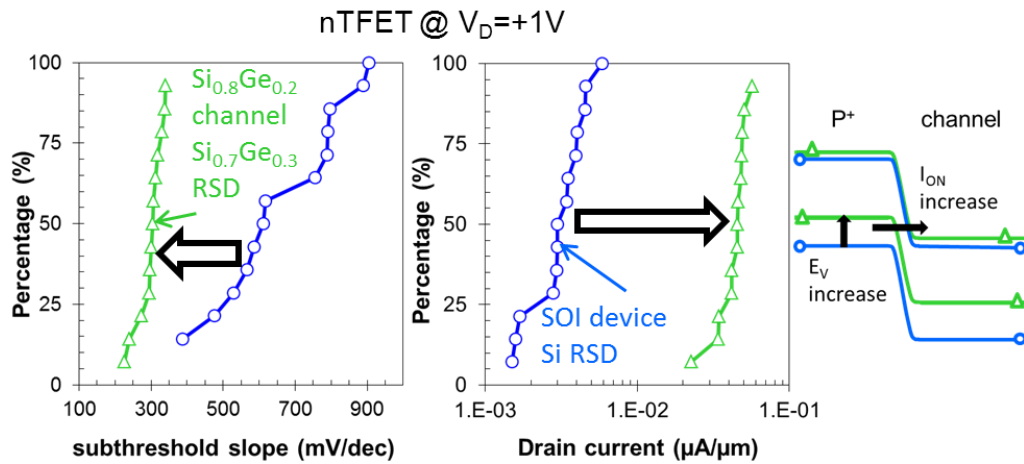


Figure III.16. Pourcentages cumulés de pente sous le seuil et de courant de drain pour des nTFETs entièrement Si (RSD et canal) ou possédant une couche de $\text{Si}_{0.8}\text{Ge}_{0.2}$ dans le canal et des RSD en $\text{Si}_{0.7}\text{Ge}_{0.3}$. Le diagramme de bande à droite explique les différences observées : dans un nTFET, l'injection des électrons se produit de la région dopée P^+ vers le canal, et c'est cette fois-ci l'augmentation du E_v dans la région P^+ qui aboutit à un gain de performances [Villalon13b].

h) Impact de la température de recuit et meilleures performances pTFET

Nous allons finir cette série de comparaisons avec l'étude de TFETs obtenus en utilisant deux températures de recuit différentes dans le procédé de fabrication, qui amènera au meilleur pTFET en termes de courant I_{ON} . La figure III.17 représente les caractéristiques $I_D(V_G)$ de deux TFET possédant une couche de $\text{Si}_{0.7}\text{Ge}_{0.3}$ de 4.3nm d'épaisseur dans le canal, ainsi que des RSD SiGe, l'un ayant subi un procédé de recuit d'activation des dopants à 950°C, l'autre à 1050°C (procédé standard). Si la superposition des courbes dans la partie droite de la courbe indique qu'il n'y a aucune différence du côté des nTFETs, dont les performances sont similaires, la différence entre les pTFETs est bien plus visible : nous observons une amélioration des pentes de 230mV/dec à 150mV/dec, ainsi qu'un courant I_{ON} (mesuré à $V_G = -2.5\text{V}$) 3300 fois plus important dans le cas du recuit le plus froid. Diminuer la température de recuit devrait diminuer la diffusion des dopants vers le canal, augmentant l'abrupte de la jonction, et donc le courant tunnel. La raison pour laquelle le recuit procédé « froid » s'effectue à 950°C est qu'en dessous nous risquons de ne pas résorber tous les défauts induits par l'implantation ionique. Des tests précédents réalisés sur des MOSFETs au CEA tendent à indiquer que la diffusion du bore n'est en pratique pas impactée par un changement de température de recuit de 1050°C à 950°, ce qui peut expliquer que le profil de dopage dans la région P reste identique, et que les nTFETs possèdent donc des performances similaires. Le gain de courant et de pente sur les pTFETs semble toutefois suggérer que la diffusion de l'arsenic a été impactée par le changement de procédé de recuit, ce qui aurait ensuite pu impacter la siliciuration.

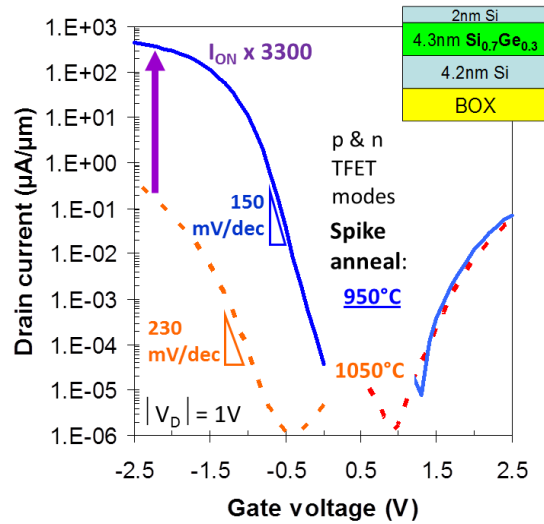


Figure III.17. Caractéristiques $I_D(V_G)$ de deux TFETs possédant le même canal (avec une couche de 4.3nm de SiGe concentré à 30% en germanium), mais ayant subi des recuits d'activation des dopants différents à 950°C et 1050°C. Les nTFET sont parfaitement identiques, et seuls les pTFETs diffèrent. Le transistor passé par un procédé de fabrication plus froid possède en mode p un courant I_{ON} (extrait ici à $V_G = -2.5V$) 3300 fois plus important que son homologue obtenu après un recuit standard à 1050°C. De plus les pentes sont aussi améliorées par un procédé plus froid. Ceci s'explique par une moindre diffusion des dopants de la région N^+ , qui amène donc à une jonction N^+ / canal plus abrupte, et donc à un pTFET plus performant [Villalon12].

3. TFET hautes performances

Le dispositif présenté en figure III.17 avec un recuit froid est en fait le pTFET possédant le I_{ON} le plus élevé de cette étude, et le reste de cette partie lui sera consacré pour cette raison. Le détail des performances est présenté en figure III.18, en ne retenant que la partie pTFET de $I_D(V_G)$. Le dispositif présente des dimensions physiques de $W=10\mu m$ et $L_G=200nm$, et un I_{ON} à $V_G=-2.5V$ et $V_D=-1V$ de $428\mu A/\mu m$, pour un I_{MIN} à $V_G=0V$ et $V_D=-1V$ de $37pA/\mu m$, soit un rapport I_{ON}/I_{MIN} de $1.15 \cdot 10^7$. On pourra objecter que le courant ON est mesuré à une tension de grille trop élevée, ce qui est vrai et regrettable, mais nécessaire à l'obtention d'un régime de saturation compte tenu des pentes qui bien qu'améliorées, restent en absolu élevées avec une valeur à 150mV/dec.

La figure III.19 présente l'analyse $I_D(V_D)$ de ce TFET. Les deux courbes $I_p(V_p)$ et $I_n(V_n)$ apportent des informations sur le pTFET, comme étudié dans le chapitre précédant. Sur la courbe $I_p(V_p)$, on constate qu'avec une excursion de -1.2V sur V_p , on observe le décollage exponentiel lié à la jonction P^+ /canal uniquement sur la courbe à $V_G=0V$, le restant de ces courbes n'affichant que leur partie constante liée à la jonction N^+ /canal, qu'on savait plus favorable à l'injection tunnel, compte tenu des courants respectifs en mode n et p de ce TFET. Mécaniquement, $I_n(V_n)$ aura tendance à montrer des courbes dont la partie exponentielle est visible dès le départ (comme c'est cas à $V_G=0V$ et $V_G=+0.2V$, ou la partie constante n'est même pas visible). Ces résultats illustrent parfaitement ce que donne une mesure $I_D(V_D)$ d'un TFET asymétrique : des deux côtés on ne voit que la jonction dominante, avec un comportement différent selon la mesure.

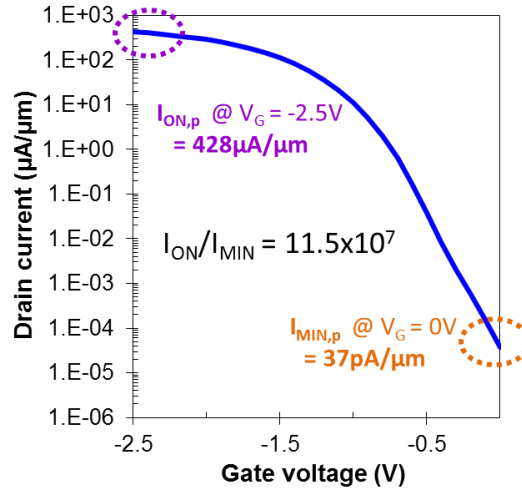


Figure III.18. Caractéristique $I_D(V_G)$ du pTFET possédant le meilleur I_{ON} parmi tous les transistors étudiés précédemment. Ce pTFET possède un I_{ON} (extrait à $V_D=-1V$ et $V_G=-2.5V$) de $428\mu A/\mu m$, un $I_{MIN}=I_{OFF}$ (à $V_D=-1V$ et $V_G=0V$) de $37pA/\mu m$, ce qui amène à un ratio ON/OFF de 1.15×10^7 . Nous avons vu précédemment que les pentes sous le seuil des TFETs étudiés ici n'étaient pas inférieures à $60mV/dec$ (dans le cas présent elle vaut $150mV/dec$) d'où le V_G plus élevé dans cette mesure.

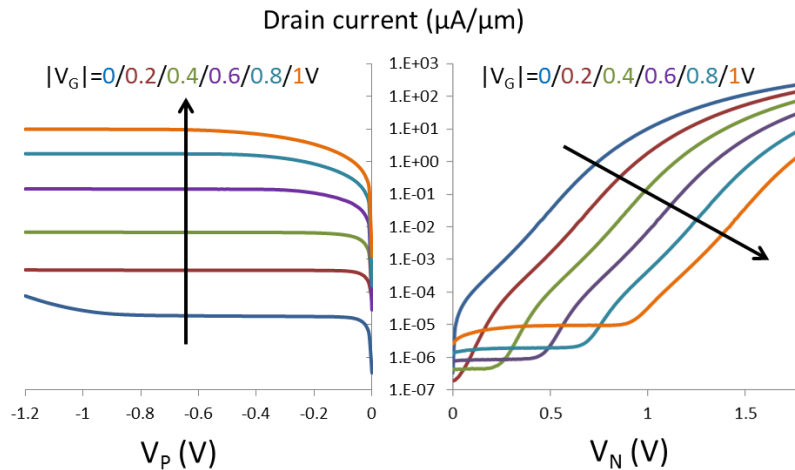


Figure III.19. Gauche : $I_P(V_P)$. Droite : $I_N(V_N)$ réalisées sur pTFET (en termes de courant de saturation). Comme démontré dans le chapitre II, la caractéristique de gauche indique que l'injection d'électrons à la jonction $N^+/canal$ prédomine largement sur l'injection à la jonction canal/ P^+ , ce qui n'est pas surprenant compte tenu du courant record de ce pTFET [Villalon12].

Nous avons présenté des caractéristiques électriques montrant un gain de courant de l'ordre de trois décades par rapport à la référence obtenu grâce à une réduction de la température de recuit. Toutefois, bien que la caractérisation comportementale ait démontré que nos dispositifs ne sont ni des MOSFETs, ni des MOS Schottky, la question de la performance de ces dispositifs particuliers par rapport à la littérature se pose. En effet, bien que nous attendions un gain de performance à la suite de ce changement de procédé de fabrication, les valeurs observées sont bien au-delà des attentes. Nous allons donc maintenant étudier plus en détail les dispositifs froids afin de déterminer si l'abrupte de la jonction peut à elle seule expliquer ces performances.

La figure 20 représente deux coupes HAADF STEM réalisées sur deux TFETs avec canal $Si_{0.7}Ge_{0.3}/SOI$, l'un avec le recuit standard, l'autre avec le procédé plus froid. Dans le cas du procédé froid, on

constate que la siliciuration s'enfonce jusque sous l'espaceur de nitrure, très proche du canal. L'utilisation de siliciurations de ce type a été rapportée dans la littérature afin d'augmenter les performances du TFET dans [Jeon10], via l'obtention d'une concentration de dopant supérieure, et d'une meilleure abrupte de la jonction. Ceci tient à l'effet chasse-neige (snow-plough) [Ohdomari84], basé sur la plus faible solubilité des dopants dans le siliciure par rapport au matériau de canal. Lors de la progression du siliciure vers le canal, les dopants sont ainsi "poussés" plus en avant, créant une région plus dopée que prévu par le procédé, dont la jonction avec le canal est moins étendue.

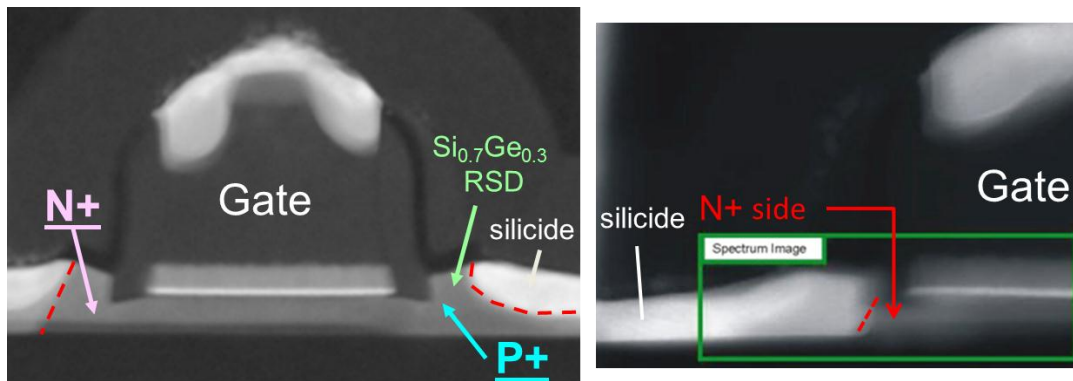


Figure III.20. Coupes HAADF STEM de canaux de TFETs étudiés. Gauche: TFET avec recuit d'activation des dopants à 1050°C. Droite : Jonction N^+ /canal du dispositif ayant subi un recuit à 950°C. On constate sur l'image de droite que le siliciure atteint le bord extérieur de l'espaceur en nitrure. Ceci entraîne l'apparition d'un effet chasse neige comme vu dans [Jeon10].

La figure III.21 présente des caractéristiques $SS(I_D)$ réalisées sur un pTFET SOI fabriqué au CEA-LETI en 2008 [Mayer08] ainsi que les deux pTFETs à canal $Si_{0.7}Ge_{0.3}$ /SOI avec leurs différentes températures de recuit. Ces caractéristiques permettent de représenter non seulement les valeurs de pente dans les dispositifs, mais également les domaines de courants sur lesquels ces pentes possèdent une valeur particulière. Ce type de mesure est particulièrement utile pour comparer des TFETs entre eux, puisque l'on y retrouvera les courants OFF, ON, les valeurs de SS, ainsi que la stabilité de SS. Sur la figure décrite ici, on constate que par rapport au dispositif de référence avec recuit 1050°C, mais également par rapport aux résultats TFETs précédemment obtenus au CEA, nous avons dans le cas de notre pTFET avec fort I_{ON} , une amélioration, ainsi qu'une bonne stabilisation des pentes, avec une valeur inférieure à 200mV/dec sur plus de quatre décades. Une pente fixe sur plusieurs décades de courant est un élément important, puisque dans l'hypothèse où nous arriverions à améliorer ces pentes, le courant de saturation ne changerait pas, garantissant le même nombre de décades de courant, au moins, sur lesquelles la pente sous le seuil serait plus abrupte. De plus, la présence du fort courant ON se matérialise ici par une translation globale de la caractéristique vers la droite.

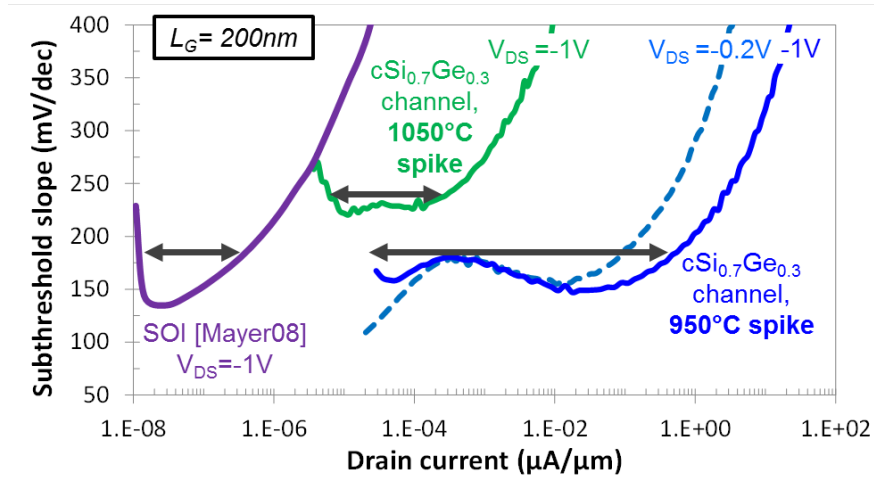


Figure III.21. Caractéristique $SS(I_D)$ de trois différents pTFETs. Les courbes en trait plein représentent des valeurs de courant obtenues à $V_D = -1V$, la courbe pointillée est une mesure à $V_D = -0.2V$. Le TFET SOI représenté provient de la référence [Mayer08]. Les dispositifs présentés en Fig. 17 sont également rapportés ici. On constate aisément l'amélioration de la pente sous le seuil dans le cas du recuit le plus froid. D'autre part, ces pentes réduites sont également disponibles sur un intervalle de courant plus important.

Comme nous venons de l'amorcer en figure III.21, nous allons maintenant comparer les courants obtenus dans ce pTFET avec des résultats expérimentaux publiés antérieurement dans la littérature, et sélectionnés pour leurs hauts niveaux de courant. Nous avons choisi dans la figure III.22 de représenter I_{MIN} , le courant minimum mesuré sur le dispositif à $V_D = -1V$, et à une tension de grille V_{MIN} , et un I_{ON} extrait avec une excursion de V_G de 1.5V par rapport V_{MIN} , mais toujours à $V_D = -1V$. Cette valeur est plus faible que celle utilisée précédemment, et désavantage donc notre dispositif, mais permet une comparaison fixe entre différents pTFETs et autant de valeurs pour la pente sous le seuil, donc le régime de saturation. La première chose que l'on note ici est que quels que soient les I_{MIN} , le I_{ON} des dispositifs ne dépasse pas les 3 $\mu A/\mu m$. Le second point est le fait que notre pTFET démontre dans ces conditions un I_{ON} près de quarante fois supérieur aux précédents records, ouvrant pour la première fois la voie vers des TFETs dont les performances s'approcheraient de celles des MOSFETs.

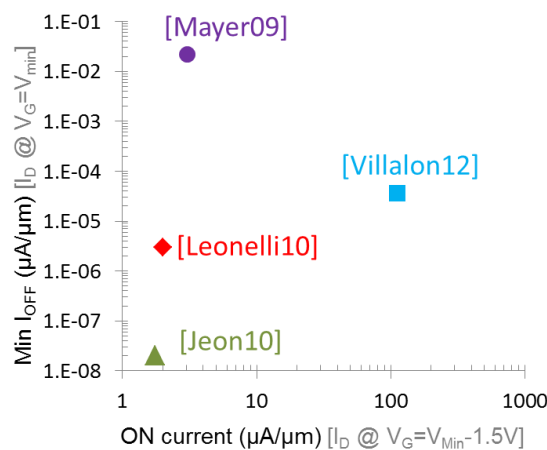


Figure III.22. Comparaison des $I_{ON}(I_{MIN})$ réalisée sur des TFETs expérimentaux rapportés dans la littérature avant la présentation de nos dispositifs à canal SiGe/SOI. Les trois résultats rapportés ici ont été choisis pour leur fort courant I_{ON} . Le pTFET avec recuit d'activation basse température présente un courant près de 40 fois supérieur aux résultats présentés précédemment. Le courant des TFETs ne dépendant pas de la longueur de grille, on n'observe sur ce type de graphique un seul point par type de TFET.

Outre les courants très importants ainsi démontrés, nous pouvons également comparer les matériaux, structures et dimensions, ce qui est proposé en figure III.23 avec un benchmark complet réalisé entre les TFETs présentés dans cette étude et de nombreuses références bibliographiques. Ceci nous permet d’avoir une vision plus large des différents éléments intéressants dans les TFETs, en dehors des seules données sur les courants. Nous avons ainsi inclus dans ce comparatif la structure et le matériau utilisé, la tension d’alimentation utilisée dans la publication dont les résultats sont issus, la valeur de la pente sous le seuil moyenne (mesurée sur deux décades de courant), l’EOT, l’épaisseur de la couche de semiconducteur t_{body} et la longueur de grille L_g .

nTFET	Choi07	Krishnamohan08	Kim09	Mohata11	présente étude
structure	SOI	sGe DG	SOI w. Ge	III-V	SiGe15%
Vd (V)	1	1	0.5	0.5	1
Ion ($\mu A/\mu m$)	20	~2	2.5	12	18.8
Imin ($\mu A/\mu m$)	1.E-03	~1.0E-5	1.E-07	5.E-04	5.2E-04
Ion/Imin	2.E+04	1.3E+05	2.5E+07	2.4E+04	3.6E+04
SS moyen	55	~60	~60	300	90-100
EOT (nm)	2		3	1.5	1.25
t_{body} (nm)	70	~9	70	-	6.7
Lg (nm)	70	1000	5000	150	200
pTFET	Mayer08	Mayer08	Leonelli10	Jeon10	présente étude
structure	SOI	GeOI	Si FinTFET	SOI	SiGe30%
Vd (V)	-1	-1	-1.2	-1	-1
Ion ($\mu A/\mu m$)	0.036	3	2	3	112
Imin ($\mu A/\mu m$)	5.1E-07	2.2E-02	3.E-06	2.E-08	3.7E-05
Ion/Imin	7.1E+04	1.4E+02	6.7E+05	1.5E+08	3.1E+06
SS moyen	120	200-300	250	60	133
EOT (nm)	CET 2.1nm	~2.2		~0.9	1.25
t_{body} (nm)	20	60	25	40	11
Lg (nm)	100	100	160		200

Figure III.23. Benchmark comparant les structures présentées dans ce chapitre à des références antérieures. Sont ici comparés les pentes sous le seuil moyennes, certaines dimensions des transistors (EOT, t_{body} et L_g) ainsi que la tension d’alimentation et l’ensemble structure-matériau utilisé.

D. Conclusion du chapitre pénultième

Dans ce chapitre, nous avons présenté une étude expérimentale sur les conséquences de différentes améliorations des procédés sur les performances de TFETs expérimentaux. Le procédé de fabrication visait l’obtention d’un canal tricouche Si/SiGe/SOI, compatible avec la fabrication de CMOS, qui ont par ailleurs été caractérisés et utilisés afin de déduire les caractéristiques physiques des transistors fabriqués. Ce procédé standard était soumis à de nombreuses variantes, telles que :

- L’amélioration de l’électrostatique par réduction de l’épaisseur de l’empilement du canal.
- La diminution de E_g dans le canal et les RSD, ainsi que la création d’une hétérojonction via l’ajout de SiGe.
- Le changement d’abrupte de la jonction via une diminution de la diffusion des dopants avec un recuit d’activation plus froid.

Nous avons présenté et commenté les résultats expérimentaux correspondants, qui indiquent que chacun de ces points améliore bien l’injection tunnel, comme attendu théoriquement [Seabaugh10]. Par ailleurs, nous avons présenté ici des résultats permettant d’affirmer que les transistors étudiés sont bien des TFETs, suite à l’exclusion d’un fonctionnement MOSFET standard ou Schottky. Le courant obtenu dans les TFETs suivants certaines variantes s’est avéré très élevé, comparativement aux autres résultats expérimentaux disponibles à l’époque, apportant dans le meilleur des cas un

gain de 40 sur le I_{ON} à conditions d'extractions égales, et un facteur 100 en prenant en compte les courants en saturation. Cette rupture par rapport aux résultats précédents nous a poussé à réaliser plus d'analyses sur ces pTFETs particuliers, nous avons ainsi pu découvrir que le recuit basse température s'est accompagné d'une propagation plus rapide que prévu de la siliciuration vers le canal, uniquement dans la région dopée N, générant ainsi un autre effet favorable aux TFETs, l'effet snow-plough [Jeon10].

E. Bibliographie

- [Born06] M. Born, K.K. Bhuiwala, M. Schindler, U. Abelein, M. Schmidt, T. Sulima and I. Eisele, "Tunnel FET : A CMOS Device for High Temperature Applications," MIEL 2006.
- [Bardon10] M.G. Bardon, H.P. Neves, R. Puer, and C. Van Hoof, "Pseudo-Two-Dimensional Model for Double-Gate Tunnel FETs Considering the Junctions Depletion Regions," IEEE Trans. Electron Devices, vol. 57, no. 4, pp. 827-834, 2010.
- [Choi07] W.Y. Choi, B.G. Park, J.D. Lee and T.J. King Liu, "Tunneling Field-Effect Transistors (TFETs) With Subthreshold Swing (SS) Less Than 60 mV/dec," IEEE Electron Device Lett., vol. 28, no. 8, pp.743-745, 2007.
- [Guo09] P.F. Guo, L.T. Yang, Y. Yang, L. Fan, G.Q. Han, G.S. Samudra and Y.C. Yeo, "Tunneling Field-Effect Transistor: Effect of Strain and Temperature on Tunneling Current," IEEE Electron Device Lett., vol. 30, no. 9, pp.981-983, 2009.
- [Jeon10] K. Jeon, W.Y. Loh, P. Patel, C.Y. Kang, J. Oh, A. Bowonder, C. Park, C.S. Park, C. Smith, P. Majhi, H.H. Tseng, R. Jammy, T.J. King Liu and C. Hu, "Si tunnel transistors with a novel silicided source and 46mV/dec swing," VLSI Symp. Tech. Dig., 2010, pp.121-122.
- [Kane61] E. Kane J., "Theory of Tunneling," J. Appl. Phys., vol. 32, no. 1, 1961.
- [Kim09] S.H. Kim, H. Kam, C. Hu and T.K. Liu, "Germanium-source tunnel field effect transistors with record high ION/IOFF," VLSI Symp. Tech. Dig., 2009, pp.178-179.
- [Leonelli10] D. Leonelli, A. Vandooren, R. Rooyackers, A. Verhulst, S. De Gendt, M.M. Heyns, and G. Groeseneken, "Performance Enhancement in Multi Gate Tunneling Field Effect Transistors by Scaling the Fin-Width," Jpn. J. Appl. Phys., vol. 49, 2010.
- [Madhavi00] S. Madhavi, V. Venkataraman and Y.H. Xie, "High room temperature hole mobility in Ge_{0.7}Si_{0.3}/Ge/Ge_{0.7}Si_{0.3} modulation doped heterostructures in the absence of parallel conduction," Device Research Conference Dig. 58, pp.29-30, 2000.
- [Mayer08] F. Mayer, "Etude, Réalisation et Caractérisation du transistor à Ionisation par Impact (I-MOS)," Thèse, Octobre 2008.
- [Mohata11] D.K. Mohata, R. Bijesh, S. Mujumdar, C. Eaton, R. Engel-Herbert, T. Mayer, V. Narayanan, J.M. Fastenau, D. Loubichev, A.K. Liu and S. Datta, "Demonstration of MOSFET-like on-current performance in arsenide/antimonide tunnel FETs with staggered hetero-junctions for 300mV logic applications," in Proc. Int. Electron Devices Meeting, 2011.
- [Ohdomari84] I. Ohdomari, M. Akiyama, T. Maeda, M. Hori, C. Takebayashi, A. Ogura, T. Chikyo, I. Kimura, K. Yoneda and K. N. Tu, "Low-temperature redistribution of As in Si during Ni silicide formation," J. Appl. Phys., vol. 56, 1984.
- [Rieger93] M.M. Rieger and P. Vogl, "Electronic-band parameters in strained Si_{1-x}Gex alloys on Si_{1-y}Gey substrates," Phys. Rev. B., vol. 48, 1993.

[Seabaugh10] A.C. Seabaugh and Q. Zhang, "Low-Voltage Tunnel Transistors for Beyond CMOS Logic," Proc. of the IEEE, vol. 98, no. 12, pp.2095-2110, 2010.

[Verhulst08] A.S. Verhulst, W.G. Vandenberghe, K. Maex and G. Groeseneken, "Boosting the on-current of a n-channel nanowire tunnel field-effect transistor by source material optimization," J. Appl. Phys., vol. 104, 2008.

[Villalon12] A. Villalon, C. Le Royer, M. Casse, D. Cooper, B. Previtali, C. Tabone, J.M. Hartmann, P. Perreau, P. Rivallin, J.F. Damlencourt, F. Allain, F. Andrieu, O. Weber, O. Faynot and T. Poiroux, "Strained tunnel FETs with record ION: first demonstration of ETSOI TFETs with SiGe channel and RSD," VLSI Symp. Tech. Dig., 2012, pp.49-50.

[Villalon13a] A. Villalon, C. Le Royer, D. Cooper, S. Cristoloveanu, M. Cassé, J.M. Hartmann, F. Allain, C. Tabone and T. Poiroux, "Record ON Currents for FDSOI HK-MG n & p-type Tunnel FETs by Using Ultrathin Strained SiGe Body," EuroSOI 2012 conference, 2012.

[Villalon13b] A. Villalon, C. Le Royer, M. Casse, D. Cooper, J.M. Hartmann, F. Allain, C. Tabone, F. Andrieu and S. Cristoloveanu, "Experimental Investigation of the Tunneling Injection Boosters for Enhanced ION ETSOI Tunnel FET," IEEE Trans. Electron Devices, vol. 60, no. 12, pp. 4079-4084, 2013.

[Villalon14] A. Villalon, G. Le Carval, S. Martinie, C. Le Royer, M.A. Jaud, and S. Cristoloveanu, "Further Insights in TFET Operation," IEEE Trans. Electron Devices, vol. 61, no. 8, pp. 2893-2898, 2014.

[Wan11] J. Wan, C. Le Royer, A. Zaslavsky and S. Cristoloveanu, "SOI TFETs: Suppression of ambipolar leakage and low-frequency noise behavior," Proc. Of the ESSDERC, pp. 341-344, 2011.

IV. Ultime chapitre : Réalisation et performance de TFETs sur nanofils horizontaux

A. Présentation du processus de fabrication des nanofils

1. Avantages de la structure nanofil par rapport au FDSOI planaire

Nous étudierons dans ce chapitre des TFETs possédant une structure nanofil, réalisés sur substrat FDSOI 300mm. Par rapport à la structure planaire du chapitre précédant, l'architecture nanofil présente de nombreux avantages, aussi bien pour les MOSFETs que pour les TFETs du fait des faibles dimensions latérales du fil et de la grille enrobante. Pour les TFETs, les principaux gains espérés sont une meilleure l'électrostatique qui se traduira par des pentes plus abruptes, ainsi qu'un confinement des lignes de champ électrique, qui peut se traduire par des courants plus élevés. Le passage d'une structure FDSOI planaire aux nanofils entraîne un changement de stress du matériau de biaxial à uniaxial, qui aura également un impact sur les niveaux d'énergie dans le fil.

Les nanofils étudiés ont été fabriqués en utilisant un procédé compatible avec le FDSOI planaire décrit au chapitre précédant. Ces nanofils sont planaires, ce qui signifie qu'on les fabrique horizontaux sur le substrat, et ne doivent pas être confondus avec les nombreuses études sur des nanofils verticaux, orthogonaux au substrat, dont l'intérêt majeur est le gain en densité. Un schéma de la structure est donné en figure IV.1 où sont représentées les régions dopées du fil, ainsi que sa position par rapport au substrat et les dimensions caractéristiques : W_{top} pour la largeur du fil en vue de haut, et H pour sa hauteur.

Le procédé de fabrication est décrit, suivant une coupe longitudinale du fil, dans la figure IV.2. Les principales étapes de la fabrication du fil sont les suivantes :

- 7) La technique dite d'enrichissement en germanium est utilisée pour obtenir une couche de SiGe contrainte directement sur le BOX. Cette couche servira de canal pour les dispositifs. Une description plus précise de cette étape est fournie en figure IV.4. Cette couche est formée sur toute la plaque, puis gravée pour former les fils.

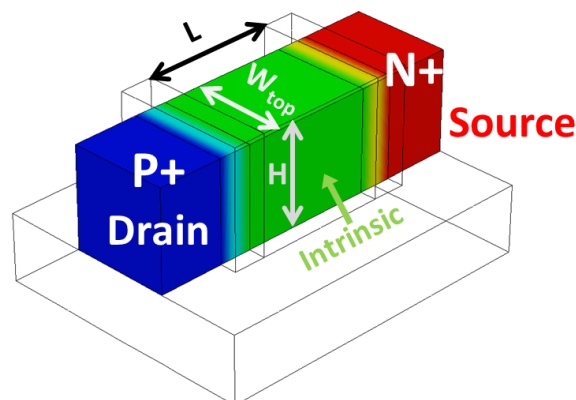


Figure IV.1. Schéma d'un TFET nanofil. Le fil est horizontal sur le substrat, et les dimensions utilisées pour le décrire sont la longueur de grille L , la largeur W_{top} et la hauteur H .

- 8) La grille est déposée avec un empilement d'oxyde de grille à forte permittivité (High-K), une couche métallique puis un dépôt de silicium poly-cristallin. Dans le cas d'un nanofil, la grille recouvre également les flancs du fil.
- 9) Les premiers espaceurs sont fabriqués, suivis des régions source et drain, réalisées par dépôt épitaxial de $\text{Si}_{0.7}\text{Ge}_{0.3}$. Ces sources et drains surélevés (RSD) augmentent la contrainte mécanique dans le canal, et permettent par ailleurs la création d'une hétérojonction aux interfaces entre le canal et les jonctions.
- 10) Les deux régions dopées sont réalisées par implantation ionique. Le procédé d'implantation et les doses sont similaires au cas du MOSFET. Les seconds espaceurs sont formés entre l'implantation des extensions et celle des RSD.
- 11) Après un recuit d'activation des dopants, les RSD sont siliciurées. Cette étape est suivie de la formation du CESL (couche d'arrêt de gravure), puis des ILD (diélectrique d'encapsulation).
- 12) Les contacts sont formés, suivis par un procédé back-end standard.

Le récapitulatif des étapes du procédé de fabrication est fourni en figure IV.3. Comme nous l'avons déjà mentionné, la fabrication de nanofils est compatible et très proche du procédé planaire FDSOI utilisé précédemment. On peut noter ici que les régions source et drain sont uniquement en $\text{Si}_{0.7}\text{Ge}_{0.3}$, avec un canal purement silicium ou SiGe. Les différences entre les TFETs étudiés dans ce chapitre porteront sur le canal, dont les dimensions et la concentration de germanium varient.

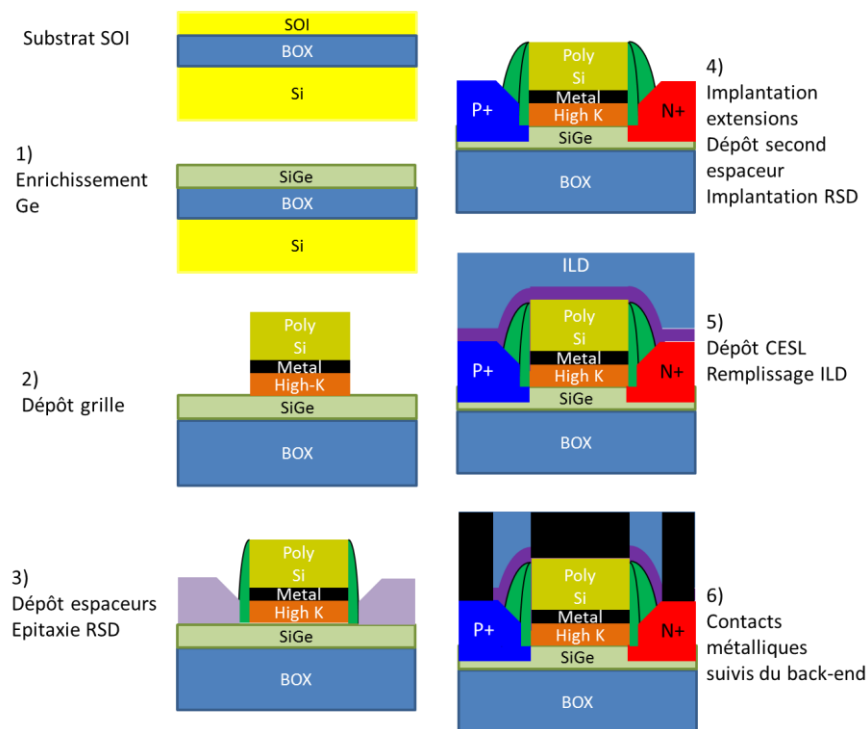


Figure IV.2. Récapitulatif des étapes du procédé de fabrication. A partir d'un substrat SOI, on réalise une étape d'enrichissement en germanium afin d'obtenir du SGOI contraint. Le dépôt de grille comporte une couche de diélectrique High-K, une couche de métal puis un remplissage en polysilicium. Après le dépôt des espaceurs nitrure, on réalise une épitaxie surélevée des régions sources et drains. Les extensions N^+ et P^+ sont ensuite implantées, avant dépôt du second espaceur. Enfin, le CESL et l'ILD sont appliqués avant de finir le processus par la formation des contacts métalliques. Certaines étapes possèdent plusieurs variantes, ou splits, qui permettront ensuite de comparer différentes structures de TFET entre elles.

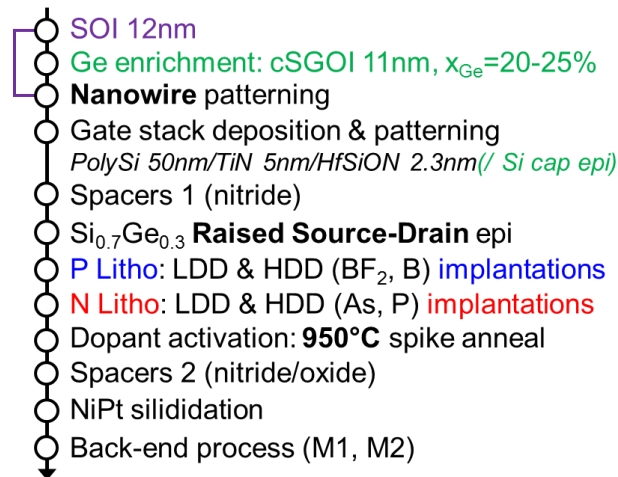


Figure IV.3. Résumé des étapes de fabrication des TFETs nanofils. Les différents dispositifs fabriqués présenteront des particularités au niveau de leurs dimensions et de la concentration de germanium dans le canal.

2. Canal du TFET : Enrichissement en germanium et caractérisation

La figure IV.4 détaille la méthode d'enrichissement en germanium utilisée dans ce procédé. En partant d'un substrat SOI, on dépose par épitaxie une couche de SiGe, d'épaisseur et de concentration connues. On réalise ensuite une oxydation à haute température de cette couche de SiGe. Le silicium contenu dans la couche de SiGe s'oxyde alors pour former du SiO₂ tandis que le germanium est repoussé dans le SOI originel. Une étape de désoxydation permet ensuite de supprimer la couche de SiO₂. Le contrôle de l'oxydation permet de sélectionner la fraction de germanium dans la couche finale, ainsi que l'épaisseur et le niveau de contrainte [Tezuka07].

La figure IV.5 présente trois coupes TEM longitudinales réalisées sur des TFETs. Les deux premières sont des coupes TEM des deux extrémités d'un dispositif à canal long, sur lesquelles nous avons mis en évidence la présence des deux espaceurs, du siliciure et des RSD SiGe, ainsi que de l'empilement de grille. L'uniformité du canal, en Si_{0.8}Ge_{0.2} dans ce cas est déjà observable. La dernière image détaille l'une des jonctions. On y constate la bonne qualité du matériau de canal final, ainsi que l'absence de défauts au niveau de l'interface avec les RSD, ce qui témoigne de la qualité du procédé de fabrication des transistors.

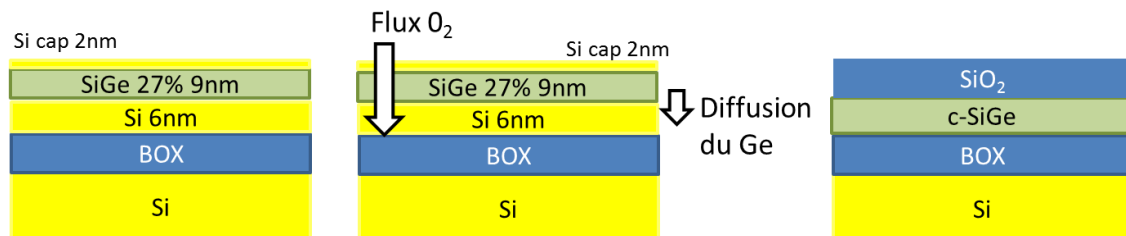


Figure IV.4. Résumé du procédé d'enrichissement en germanium. En partant d'un substrat de SOI, on dépose par épitaxie une couche de SiGe, une oxydation à haute température permet ensuite de former du SiO₂ tout en diffusant le germanium vers la couche de silicium inférieure. Une désoxydation va ensuite supprimer la couche de SiO₂ formée.

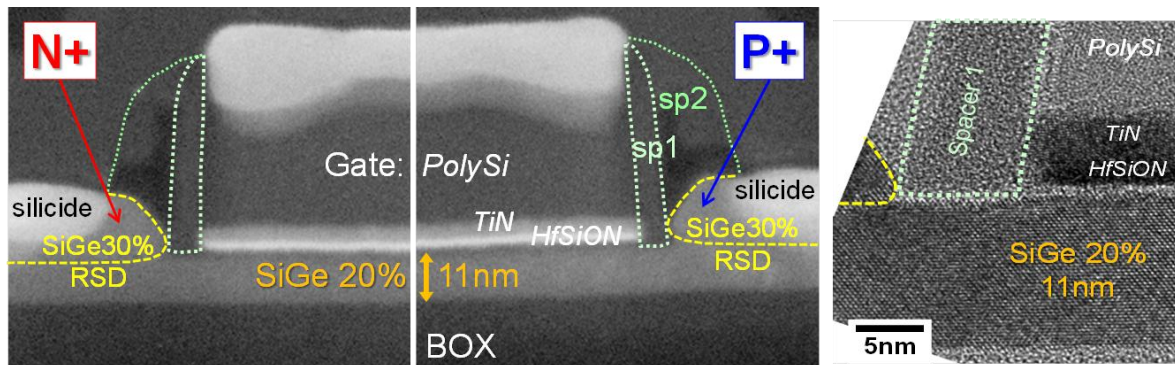


Figure IV.5. Coupes TEM longitudinales réalisées sur des transistors. Les images de gauche et du centre montrent les deux extrémités d'un même canal, avec les espaceurs, jonctions, siliciurations et RSD clairement définis. L'empilement de grille est également annoté. L'image de droite est focalisée sur une interface canal/RSD, et montre une bonne qualité du SiGe dans le canal.

La figure IV.6 présente une coupe TEM transverse et une mesure MEB vue de dessus. La coupe transverse est réalisée sur un nanofil de 10 nm de diamètre – mesuré comme le diamètre du canal – et met en évidence la présence d'une grille enrobante à ces dimensions, ce qui doit améliorer l'électrostatique des TFETs encore plus que prévu pour l'architecture triple grille originelle. Par ailleurs, l'image MEB présente un fil de 7.5nm de diamètre, avant le dépôt de l'empilement de grille, ce qui est représentatif des plus petites dimensions mesurées.

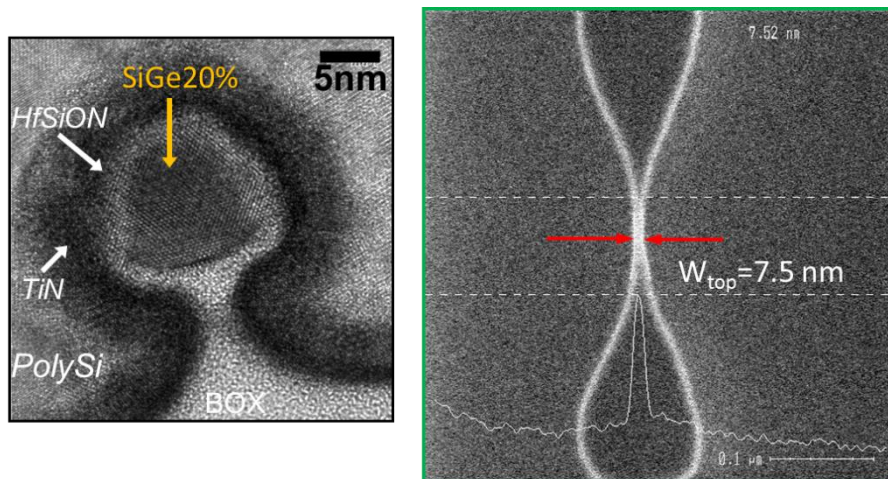


Figure IV.6. Coupe TEM transverse d'un transistor nanofil (gauche) ainsi qu'une image MEB en vue de dessus d'une zone active après gravure (droite). La coupe transverse est réalisée sur un dispositif de diamètre 10nm, et montre le caractère enrobant de la grille à ces dimensions. L'image MEB présente un nanofil de diamètre 7.5nm, qui compte parmi les plus fins obtenus.

B. Caractérisation des TFETs hautes performances

Nous allons maintenant présenter les performances électriques des TFETs nanofils. Nous commencerons par les dispositifs présentant les courants les plus élevés pour chaque concentration de germanium dans le canal. Nous étudierons ensuite l'impact de cette concentration sur les performances, ainsi que l'impact de la largeur du fil.

1. Démonstration de courants records

Les caractérisations physiques ont démontré les dimensions agressives obtenues sur nos fils les plus étroits. Etant donné la structure de type triple grille, voire grille enrobante que présentent nos TFETs, la simple valeur de W_{top} , la largeur du fil en vue de haut, n'est plus pertinente pour une analyse électrique. Nous utiliserons désormais une valeur de largeur W_{tot} définie comme la largeur totale couverte par la grille, qui comptera donc la valeur de largeur en vue de dessus à laquelle on ajoutera la dimension des flancs couverts par la grille, soit deux fois l'épaisseur du fil. Cette définition est rappelée dans la figure IV.7.

Par ailleurs, la figure IV.7 représente les caractéristiques $I_D(V_G)$ en mode n et p d'un TFET nanofil de largeur $W_{tot}=50\text{nm}$ et de longueur $L=50\text{nm}$. Le canal est en $\text{Si}_{0.75}\text{Ge}_{0.25}$, et les mesures sont réalisées à des tensions $|V_{DS}|=0.5$ et 0.9V . Ce dispositif a été choisi pour la relative symétrie entre ses courants en mode n et p, qui sont respectivement de $47\mu\text{A}/\mu\text{m}$ et $156\mu\text{A}/\mu\text{m}$ à $|V_{GS}|=2\text{V}$.

La figure IV.8 est une caractéristique $I_D(V_G)$ réalisée sur le pTFET présentant le courant I_{ON} le plus élevé parmi les TFETs nanofils, la mesure est représentée en linéaire sur l'échelle gauche, et en logarithmique sur l'échelle droite. Ce dispositif à canal de $\text{Si}_{0.75}\text{Ge}_{0.25}$ a pour dimensions $W_{tot}=27\text{nm}$ et $L=100\text{nm}$. La pente sous le seuil SS est inférieure à $80\text{mV}/\text{dec}$ sur plus de trois décades, et le courant I_{ON} atteint la valeur record de $760\mu\text{A}/\mu\text{m}$ à $V_{GS}=-2\text{V}$. Ce courant est à ce jour le plus élevé mesuré sur un TFET.

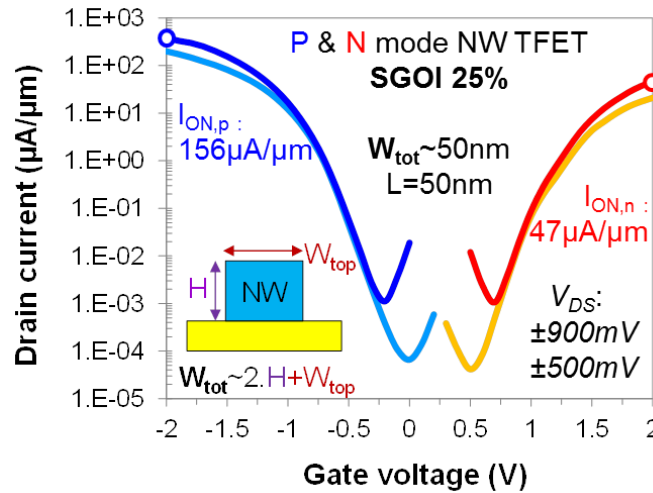


Figure IV.7. Caractéristiques $I_D(V_G)$ d'un TFET nanofil en mode n et p. Les dimensions du fil sont de $W_{tot}=50\text{nm}$ et $L=50\text{nm}$. L'insert rappelle la définition de W_{tot} comme étant la largeur totale couverte par la grille. Ce TFET particulier est celui présentant le meilleur rapport entre les courants dans les deux modes. Ici, le courant I_{ON} du pTFET est de $156\mu\text{A}/\mu\text{m}$, tandis que le courant du nTFET est de $47\mu\text{A}/\mu\text{m}$ à $|V_{GS}|=2\text{V}$ et $|V_{DS}|=0.9\text{V}$.

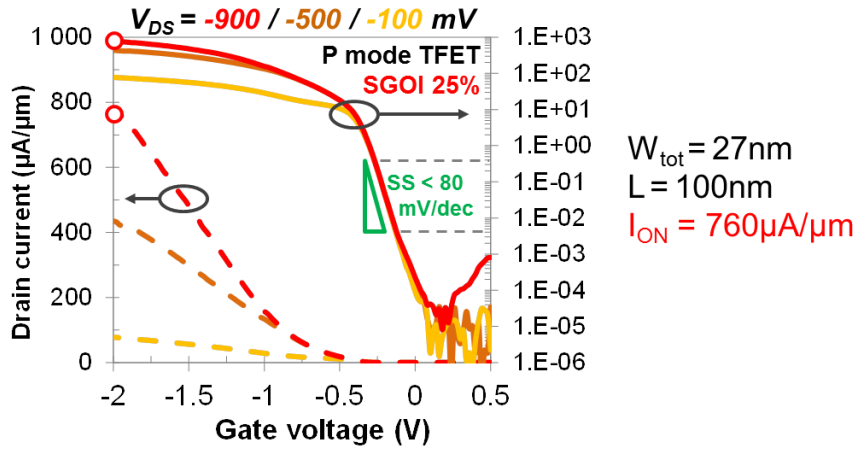


Figure IV.8. Caractéristique $I_D(V_G)$ réalisée sur le pTFET présentant le plus fort I_{ON} parmi les nanofils étudiés. La courbe est fournie en échelle linéaire à gauche et en échelle logarithmique sur la droite, pour des V_{DS} de -0.1, -0.5 et -0.9V. Le I_{ON} est extrait à $V_{GS}=-2V$ et atteint la valeur de $760\mu A/\mu m$. Ce TFET possède également une pente sous le seuil inférieure à $80mV/dec$ sur près de trois décades. Les dimensions de ce dispositif sont de $W_{tot}=27nm$ et $L=100nm$.

Après avoir présenté un dispositif possédant un courant record, nous allons maintenant introduire l'équivalent pour trois autres canaux en figure IV.9. Les canaux considérés sont dans le premier cas en silicium (SOI), donc un dispositif de référence qui n'a pas subi l'étape d'enrichissement (mais dont les RSD sont en $Si_{0.7}Ge_{0.3}$), puis avec un canal $Si_{0.8}Ge_{0.2}$ et enfin avec un canal $Si_{0.75}Ge_{0.25}$ tel que présenté en figure IV.8. Les courants extraits à $V_{GS}=-2V$ sont reportés à droite de la figure pour $V_{DS}=-0.5V$ et $V_{DS}=-0.9V$. L'extraction du courant à l'état ON montre que tous les TFETs possèdent de bonnes performances du point de vue de cet indicateur. La première constatation est que le canal en SiGe affecte la tension seuil du dispositif (décalage de l'état MIN de 100mV) qui est en grande partie responsable de la différence entre les courants mesurés. En effet, une fois ce décalage corrigé, les courants deviennent dans le cas du SOI $I_{ON,R}=569\mu A/\mu m$ et dans le cas du SiGe $I_{ON,R}=705\mu A/\mu m$. Il en découle que ces courants étant proches, les causes des gains entre les structures seront plus difficiles à identifier. C'est pourquoi nous allons, après les vérifications sur le fonctionnement TFET, étudier l'impact de la concentration de germanium dans le canal ainsi que de la largeur de celui-ci.

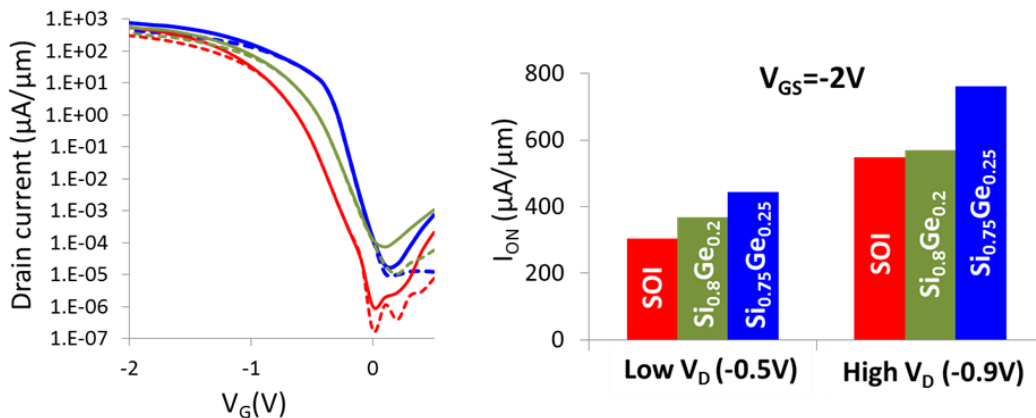


Figure IV.9. Caractérisations $I_D(V_G)$ des TFETs possédant les plus forts courants pour différents matériaux de canal (SOI, $Si_{0.8}Ge_{0.2}$ et $Si_{0.75}Ge_{0.25}$), et des dimensions agressives ($W_{tot}\sim 30nm$ et $L=100nm$). Une comparaison des courants est proposée à droite, pour $V_{GS}=-2V$ et $V_{DS}=-0.5V$ (low V_D) et $V_{DS}=-0.9V$ (high V_D). On note un décalage de tension seuil de 100mV dû à la présence de SiGe dans le canal. Par ailleurs, même les nanofils à canal silicium présentent de forts courants avec une valeur maximale à $569\mu A/\mu m$.

2. Caractérisation du fonctionnement TFET

Avant de commencer l'étude de l'impact des différents paramètres du fil sur le courant des TFETs, nous allons vérifier que les dispositifs fonctionnent bien par injection tunnel. La figure IV.10 présente des caractéristiques $I_D(V_G)$ réalisées sur une série de dispositifs de longueurs de grille variant entre $L=1\mu\text{m}$ et $L=50\text{nm}$. Tous les autres paramètres des transistors étant égaux, avec une largeur $W=2\mu\text{m}$ et un fil en $\text{Si}_{0.75}\text{Ge}_{0.25}$ et une tension de drain $V_{DS}=-0.9\text{V}$, il apparaît de la superposition des courbes que la longueur de grille n'a pas d'impact sur le courant de drain, comme attendu de la part d'un transistor fonctionnant grâce à l'injection par effet tunnel.

La figure IV.11 reproduit une extraction du DIBL en fonction de la longueur de grille, pour des dispositifs fabriqués sur SOI avec une structure soit MOSFET soit TFET. Les MOSFETs présentent un niveau de DIBL élevé dans les fils larges avec une valeur supérieure à 100mV/V pour des longueurs de grille inférieures à 50nm . La réduction de la largeur de fil améliore l'électrostatique et diminue donc le DIBL (moins de 20mV/V pour une longueur de grille identique de 50nm).

Les dispositifs marqués TFET ne présentent toutefois pas de DIBL, quelles que soient la largeur du fil et la longueur de grille. Ce comportement est attendu de la part de TFETs, et confirme donc également une injection par effet tunnel.

Comme nous l'avons indiqué dans le chapitre précédent, la comparaison des données expérimentales au modèle théorique de Kane permet de démontrer que le dispositif n'est pas un MOSFET. Les deux caractérisations comportementales précédentes remplissent déjà ce rôle, et nous n'utiliserons donc pas le modèle de Kane dans ce chapitre. En revanche, les développements obtenus sur le comportement des mesures $I_D(V_D)$ des TFETs nous a permis de proposer une nouvelle caractérisation afin de discriminer un transistor à barrière Schottky d'un transistor à effet tunnel, présentée en figure IV.12. Nous montrons ici deux mesures $I_D(V_D)$ réalisées sur le même TFET, avec le même jeu de polarisations, en inversant les électrodes de source et drain.

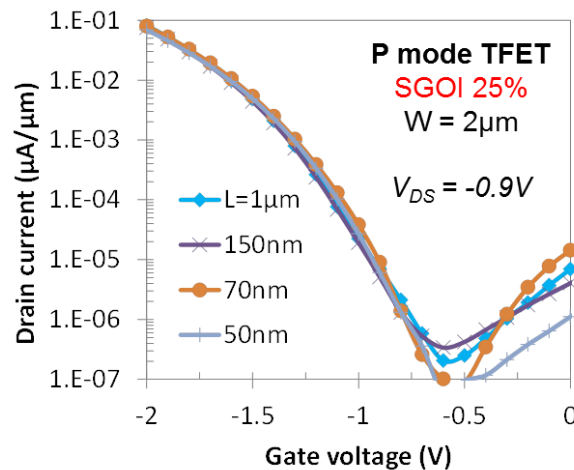


Figure IV.10. Caractéristiques $I_D(V_G)$ de TFETs nanofils en mode p, possédant un canal en $\text{Si}_{0.75}\text{Ge}_{0.25}$ de même largeur $W=2\mu\text{m}$, et de longueur variable entre $L=1\mu\text{m}$ et $L=50\text{nm}$. Les mesures sont réalisées à $V_{DS}=0.9\text{V}$, et l'on constate que comme attendu sur un transistor à effet tunnel, la longueur de grille n'impacte pas la caractéristique.

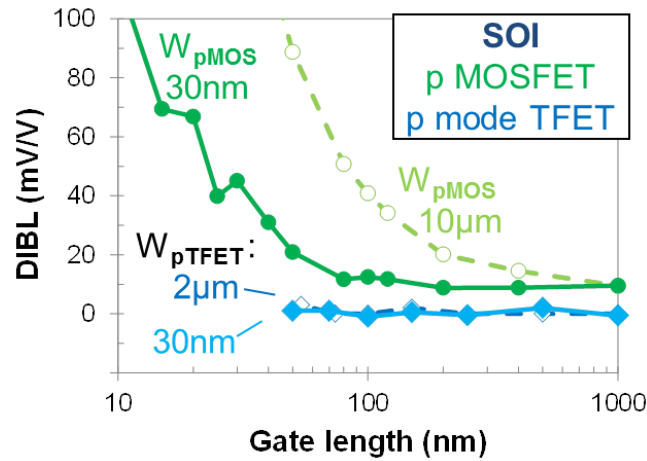


Figure IV.11. Extractions des valeurs du DIBL rapportées pour différentes longueurs de grille, dans le cas de fils de largeur $W=2\mu\text{m}$ et $W=30\text{nm}$. Les dispositifs étudiés sont fabriqués avec un canal SOI, et une architecture pMOSFET ou TFET. Les pMOSFETs présentent des valeurs de DIBL relativement élevées dans le cas des fils larges (90mV/V à $L=50\text{nm}$), mais l'amélioration du contrôle électrostatique apporté par le fil fin permet de diminuer cette valeur (20mV/V à $L=50\text{nm}$). Les TFETs se comportent également comme attendu, avec une valeur de DIBL nulle, quelle que soit la longueur de grille. Ceci confirme l'injection tunnel.

Si le dispositif mesuré est un MOSFET Schottky, l'évolution du courant sera similaire dans les deux cas, les métaux utilisés pour définir la source et le drain peuvent être différents, mais cela n'impactera que légèrement le courant. Si le transistor est un TFET, cela reviendra par contre à observer dans un cas une mesure $I_D(V_D)$, et dans l'autre un fonctionnement dégradé correspondant à une mesure $I_D(V_G)$ réalisée en inverse (ceci est dû aux fortes valeurs de V_D utilisées ici par rapport aux tensions de grille appliquées). La figure IV.12 montre un exemple de mesures pour un transistor à barrière Schottky et un TFET, et permet donc de déduire que si certains de nos dispositifs sont des MOS Schottky, nous pouvons désormais aisément filtrer les TFETs, et donc nous assurer que la suite de l'étude est pertinente.

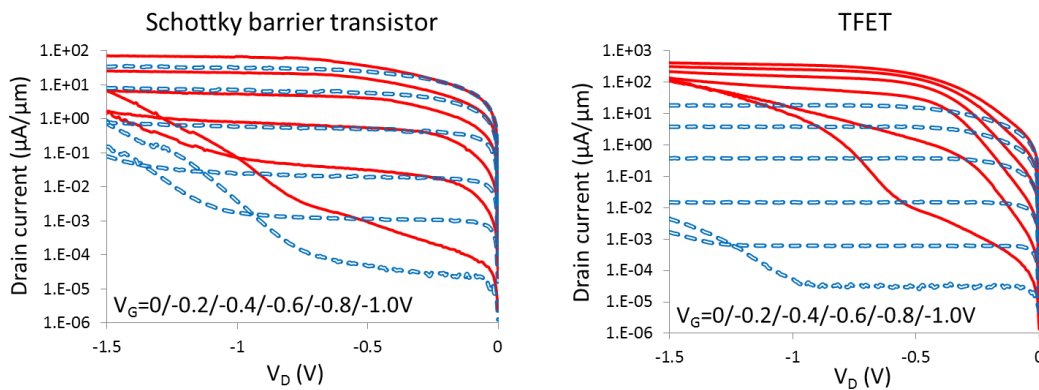


Figure IV.12. Présentation de doubles mesures $I_D(V_D)$ réalisées sur un transistor à barrière Schottky et un TFET. Les deux mesures sont réalisées en inversant les électrodes de source et de drain sans changer les valeurs de polarisation. Cette caractérisation permet de différencier un TFET d'un MOSFET Schottky. Le TFET présentera dans un cas une mesure $I_D(V_D)$, et dans l'autre une $I_D(V_G)$ dégradée, alors que pour un MOS Schottky, les deux mesures seront identiques, avec potentiellement un décalage de tension ou de courant du fait de la différence de métal entre la source et le drain. Mesures : P. Oeflein.

Nous allons clore cette partie en présentant dans la figure IV.13 les caractéristiques $I_D(V_D)$ d'un TFET nanofil en mode n et p. Les deux mesures sont réalisées sur un unique dispositif physique. On retrouve ici le cas d'un TFET possédant une bonne ambipolarité (rapport de 1 pour 20 entre les courants $I_{ON, P}$ et $I_{ON, N}$). La plage de tension reste limitée à 1.5V, par conséquent le régime de reprise exponentielle du courant (décrit au chapitre II) n'est pas observé ici.

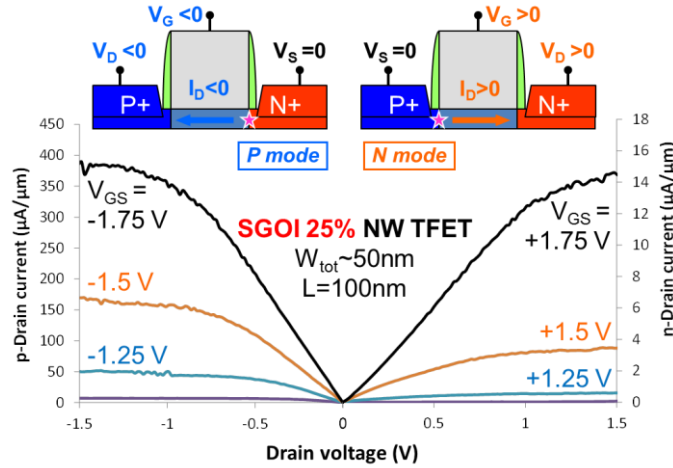


Figure IV.13. Caractéristiques $I_D(V_D)$ d'un TFET en mode n et p (canal $\text{Si}_{0.75}\text{Ge}_{0.25}$). Un unique dispositif nanofil est mesuré ici, avec une bonne ambipolarité. La plage de $|V_{DS}|$ restant inférieure à 1.5V, on n'observe pas le régime exponentiel.

3. Impact de la concentration en germanium du canal

Dans ce paragraphe nous étudierons l'impact de la concentration de germanium sur le courant des TFETs. La figure IV.14 présente une série de caractéristiques $I_D(V_G)$ réalisées sur des TFETs de dimensions $W=2\mu\text{m}$ et $L=1\mu\text{m}$, pour des canaux de SOI, $\text{Si}_{0.8}\text{Ge}_{0.2}$ et $\text{Si}_{0.75}\text{Ge}_{0.25}$ et une tension de drain $V_{DS}=-0.9\text{V}$. Une extraction des courants I_{ON} est proposée pour différentes longueurs de canaux, I_{ON} étant le courant à $V_{DS}=-0.9\text{V}$ et $V_{GS}=-2.0\text{V}$. Les mesures $I_D(V_G)$ montrent un gain en courant pour les TFETs à canal SiGe par rapport au SOI, respectivement d'un facteur neuf dans le cas du $\text{Si}_{0.8}\text{Ge}_{0.2}$ et vingt dans le cas du $\text{Si}_{0.75}\text{Ge}_{0.25}$. Les pentes extraites à courant constant de $10^{-10}\text{A}/\mu\text{m}$ sont également améliorées depuis une valeur de 290mV/dec dans le cas du canal silicium jusque 190mV/dec pour le canal $\text{Si}_{0.75}\text{Ge}_{0.25}$. Par ailleurs, l'extraction de $I_{ON}(L)$ montre que ces gains sont constants, quelle que soit la longueur de grille, ce qui confirme nos attentes, puisque le courant des TFETs est insensible à L.

La figure IV.15 explique les gains observés en représentant cette fois-ci le I_{ON} extrait précédemment en fonction de la concentration en germanium. Bien que nous n'ayons que trois concentrations en germanium disponibles, toutes les longueurs de grille possèdent le même courant, et permettent donc d'obtenir une quantité significative de données. L'échelle proposée sur la droite du graphique représente la valeur de la bande interdite d'énergie E_G pour les trois matériaux. Nous avons par ailleurs représenté sur le même graphique deux précédents résultats rapportés dans [Mayer08].

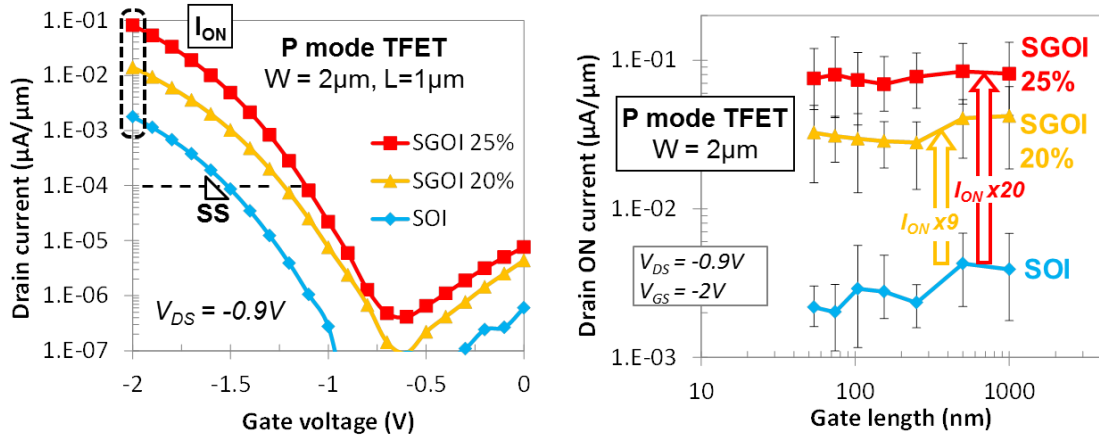


Figure IV.14. Caractéristiques $I_D(V_G)$ de TFETs de dimensions $W=2\mu\text{m}$ et $L=1\mu\text{m}$, pour des canaux différents. Le courant I_{ON} extrait à $V_{DS}=-0.9\text{V}$ et $V_{GS}=-2.0\text{V}$ est amélioré d'un facteur 20 entre le canal SOI et $\text{Si}_{0.75}\text{Ge}_{0.25}$. Les pentes sont également améliorées par l'utilisation du SiGe dans le canal, les valeurs extraites à $0.1\text{nA}/\mu\text{m}$ passent de $290\text{mV}/\text{dec}$ dans le cas du SOI à $190\text{mV}/\text{dec}$ pour un canal $\text{Si}_{0.75}\text{Ge}_{0.25}$. L'extraction des I_{ON} en fonction de la longueur de grille est proposée à droite. On y observe que le gain de courant en fonction du matériau est constant quelle que soit la longueur de grille, ce qui est cohérent avec l'indépendance du courant de drain des TFETs par rapport à L [Villalon14].

Il apparait que la concentration de germanium est proportionnelle à E_G , qui est elle-même exponentiellement liée au courant. En effet, dans le cas de faibles concentrations de germanium, comme c'est le cas ici, une augmentation de la fraction de Ge dans le matériau amène une décroissance linéaire de E_G . L'injection tunnel dépendant exponentiellement de E_G , il en résulte le comportement de I_{ON} observé ici.

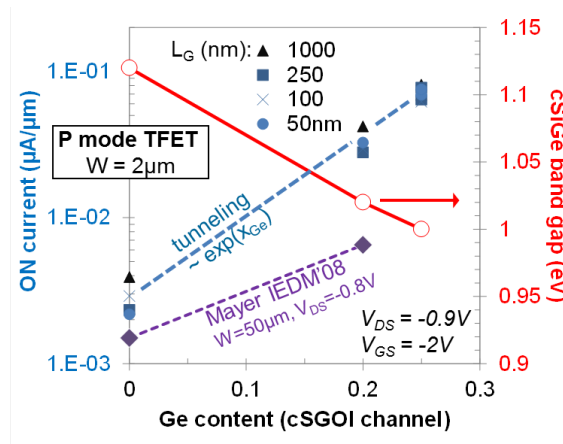


Figure IV.15. Courants I_{ON} précédents représentés en fonction de la concentration en germanium du canal. L'échelle droite présente la valeur de E_G en fonction de la concentration en Ge. Dans la gamme de concentrations étudiées ici, E_G est proportionnel à la fraction de germanium dans le SiGe. L'injection tunnel étant exponentiellement dépendante de E_G , on observe donc une dépendance similaire du courant I_{ON} , par rapport à E_G , donc par rapport à la concentration de Ge [Villalon14].

4. Impact de la largeur du fil

Outre le matériau du nanofil, le second paramètre pouvant impacter les performances des TFETs est la largeur du fil. Nous allons ici analyser l'impact de W sur les courants et les pentes dans les TFETs, en commençant avec la figure IV.16 par une comparaison de caractéristiques $I_D(V_G)$ de

différents nanofils. Nous savons que la génération tunnel est particulièrement sensible au champ électrique, aussi, afin de séparer l'effet de l'amélioration de l'électrostatique sur le courant de l'effet de la réduction de la largeur (périmètre total du fil W_{tot}), la figure présente des courants non normalisés, soit le courant total circulant dans le nanofil. Les pTFETs mesurés ont été réalisés avec un canal de $Si_{0.75}Ge_{0.25}$, et présentent trois valeurs possibles de largeur W_{tot} : $1\mu m$, 50nm et 30nm. Le courant est nettement amélioré par la réduction de la largeur du fil de $W_{tot}=1\mu m$ à $W_{tot}=50nm$, avec un gain de près de deux décades. Toutefois, diminuer plus encore la largeur, jusque $W_{tot}=30nm$ n'apporte pas d'autre augmentation du courant.

Il convient de rappeler une fois encore que nous parlons ici du courant total qui traverse le nanofil, et que cette augmentation est donc exceptionnelle. Contrairement au cas du CMOS où le courant total (en μA) est directement proportionnel à la largeur du transistor, ce qui implique une densité (en $\mu A/\mu m$) constante en fonction de la largeur, nous observons ici une augmentation du courant total dans le fil lorsque la taille du fil diminue. Ceci provient de deux phénomènes liés à l'électrostatique. Le premier est le caractère localisé de l'injection tunnel, qui, puisqu'elle dépend exponentiellement des champs électriques, verra la région possédant les champs les plus intenses générer la majorité du courant de tout le transistor. Le schéma de droite de la figure IV.16 représente une simulation TCAD d'un nanofil, considéré rectangulaire. Sous cette hypothèse, deux régions équivalentes du point de vue de la génération tunnel sont représentées, ce sont les coins supérieurs du fil, en contact sur deux cotés avec la grille. Quelle que soit la largeur du fil, la majorité du courant serait générée dans ces deux coins, et leur nombre ne variant pas, il n'y a donc pas de raison que le courant diminue quand on réduit le W_{tot} des fils. Le second phénomène est la dépendance exponentielle du courant par rapport au champ électrique, qui implique qu'une amélioration de l'électrostatique va directement se répercuter sur le courant. C'est par exemple le cas lorsque l'on passe d'un canal rectangulaire de 1000nm de large et 11nm de haut (pour un W_{tot} de $1\mu m$), dont le comportement est donc celui d'une couche de SOI, à un canal de 30nm de large pour 10nm de haut (W_{tot} de 50nm) qui est de fait un nanofil.

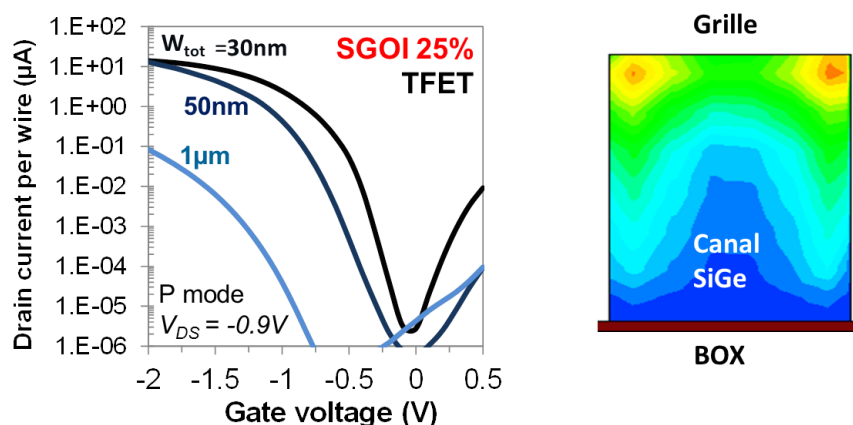


Figure IV.16. Caractéristiques $I_D(V_G)$ de trois TFETs, réalisés avec des canaux $Si_{0.75}Ge_{0.25}$ dont les largeurs varient entre $1\mu m$ et 50nm. Le schéma de droite est une simulation TCAD du taux de génération tunnel dans une coupe du canal rectangulaire, au point de plus forte valeur. Le courant n'est pas normalisé sur cette mesure, et l'on observe donc que dans les TFETs nanofil une réduction de la largeur totale augmente le courant traversant la structure. Ceci est dû en partie à l'amélioration de l'électrostatique apportée par les faibles largeurs, et en partie au fait que le courant dans les TFETs est généré au(x) point(s) possédant le champ électrique le plus intense, qui serait dans le cas idéal d'un fil rectangulaire, les deux coins [Villalon14]. Simulation : M. Rau.

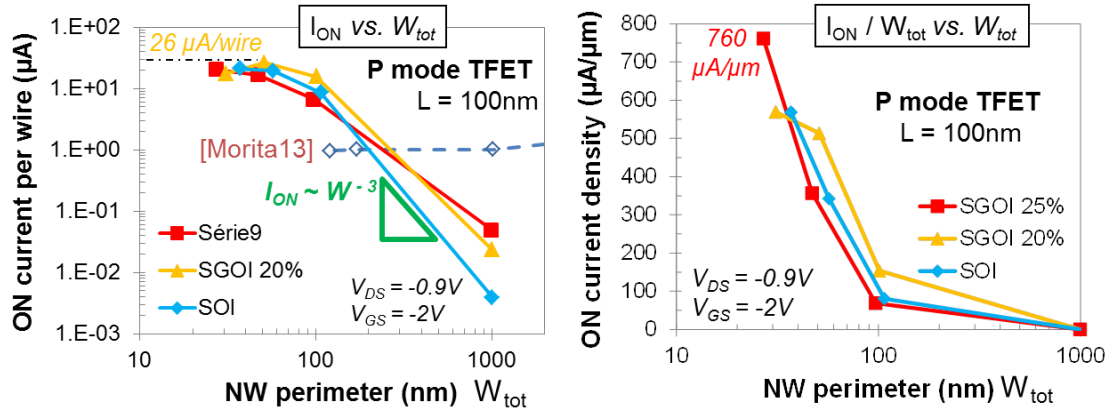


Figure IV.17. Extractions du courant à l'état ON par fil (en μA) par rapport à la largeur totale W_{tot} à gauche, et de la densité de courant I_{ON} (en $\mu A/\mu m$) par rapport à W_{tot} à droite. Le courant dépend de l'inverse du cube de la largeur depuis $W=1\mu m$ jusqu'à $W=50nm$, puis cette dépendance s'affaiblit pour $W=30nm$. Toutefois, une fois rapporté à la densité de courant, les I_{ON} associés aux plus petites largeurs deviennent les plus élevés. Le dispositif record présenté précédemment est rapporté ici, avec un I_{ON} de $760\mu A/\mu m$, pour un W_{tot} de $27nm$, ce qui correspond à un courant de $20.6\mu A$ par fil. Le fil possédant le courant par fil le plus élevé est un canal $Si_{0.8}Ge_{0.2}$ de $W_{tot}=50nm$, avec $26\mu A$ par fil, mais à cause du W_{tot} trop élevé, cela ne se retrouve pas sur les densités de courant. Nous avons également représenté sur la figure les résultats de [Morita13], dont la dépendance en W est différente de la nôtre, à cause d'une architecture particulière basée sur une génération tunnel verticale dans le fil [Villalon14].

La figure IV.17 propose de quantifier plus précisément cette variation de courant en fonction de la largeur W_{tot} , et pour ce faire présente l'extraction du courant ON par fil (en μA) par rapport au W_{tot} ainsi que la densité de courant I_{ON} (en $\mu A/\mu m$) également en fonction de la largeur. La première observation est que le courant est inversement proportionnel au cube de la largeur du fil, depuis une largeur de $1\mu m$ jusque $50nm$, cette dépendance s'affaiblissant ensuite jusque $30nm$. La seconde est qu'une fois rapportée à la densité de courant cette dépendance est mathématiquement accrue, en particulier pour les plus faibles largeurs comme mis en évidence sur le graphique de droite. Les courants record mesurés dans nos TFETs sont représentés sur ces graphiques, avec une densité de courant I_{ON} de $760\mu A/\mu m$ pour une largeur W_{tot} de $27nm$, qui correspond à un courant de $20.6\mu A$ par fil.

La figure IV.18 va clore cette étude avec une représentation des pentes sous le seuil en fonction du courant de drain, dans le cas d'un canal $Si_{0.75}Ge_{0.25}$ ou d'un canal silicium. Différentes valeurs de largeurs de canal sont représentées. En plus d'une augmentation du courant I_{ON} , une faible largeur de canal permet également d'améliorer la pente sous le seuil des TFETs, dans le cas du canal SGOI de $120mV/dec$ à $80mV/dec$. Le domaine de courant pour lequel la pente reste stable est également élargi.

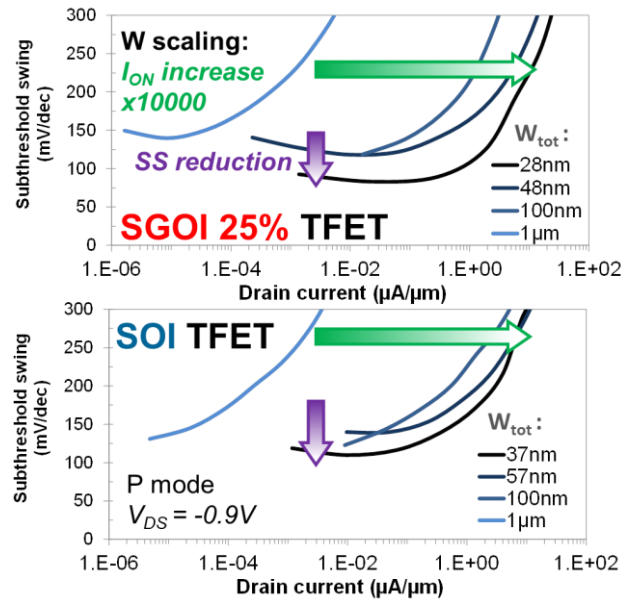


Figure IV.18. Caractéristiques SS(I_D) de TFETs nanofils avec canal $\text{Si}_{0.75}\text{Ge}_{0.25}$ et silicium. La réduction de la largeur du canal entraîne, en plus du gain de courant d'un facteur 10^4 , une amélioration de la valeur de la pente sous le seuil, ainsi que du domaine de courant sur lequel cette pente reste stable. Dans le cas du canal SGOI, la pente est améliorée de 120mV/dec pour les TFETs les plus larges à 80mV/dec pour $W_{\text{tot}}=28\text{nm}$ [Villalon14].

C. Fonctionnement basse température des TFETs

Nous venons d'étudier les performances des TFETs fabriqués sur architecture nanofil. Malgré des courants élevés, les plus élevés observés à ce jour, les pentes de nos transistors sont encore supérieures à la limite thermoionique de 60mV/dec, dont nous souhaitons nous affranchir. Dans le chapitre précédent, nous n'avons pas cherché à comprendre précisément l'origine des pentes élevées dans le cas de TFETs sur SOI planaire, supposant que dans le cas des transistors sur nanofil le problème serait résolu par la meilleure qualité du canal. Nous venons de voir que ce n'était pas le cas, bien que les pentes aient été divisées par deux entre les deux générations (150mV/dec étant la meilleure pente extraite de nos mesures sur FDSOI planaire, tandis qu'en nanofil, cette valeur est de 80mV/dec). Dans cette partie, nous allons présenter des mesures réalisées à basse température (entre 77K et 300K) sur les structures TFET nanofil, dont l'objectif était d'identifier l'origine des valeurs de pente sous le seuil dans les TFETs présentés, et de proposer une solution permettant de ramener ces pentes en dessous de 60mV/dec.

1. **Caractérisation électrique**

La figure IV.19 montre une série de caractéristiques $I_D(V_G)$ réalisées sur un pTFET à canal $\text{Si}_{0.8}\text{Ge}_{0.2}$, de dimensions $W_{\text{tot}}=28\text{nm}$ et $L=100\text{nm}$, à des températures comprises entre 77K et 300K. Les courbes montrent un état saturé identique, mais un régime sous le seuil qui est dépendant de la température, avec une pente minimale mesurée à 77K de 35mV/dec. Par ailleurs la réduction de la température n'affecte que très peu le I_{ON} , qui passe de 489 $\mu\text{A}/\mu\text{m}$ pour $T=300\text{K}$ à 474 $\mu\text{A}/\mu\text{m}$ pour $T=77\text{K}$.

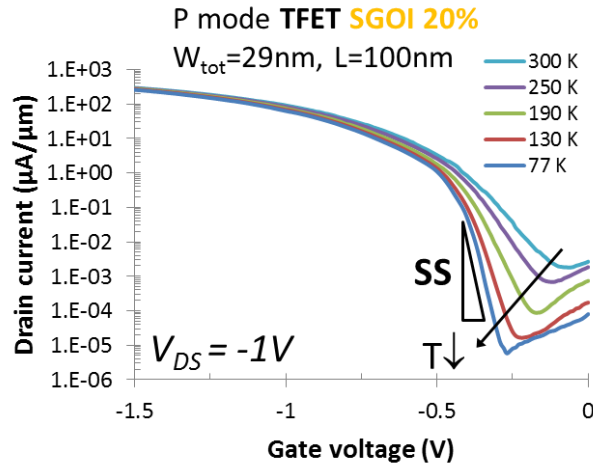
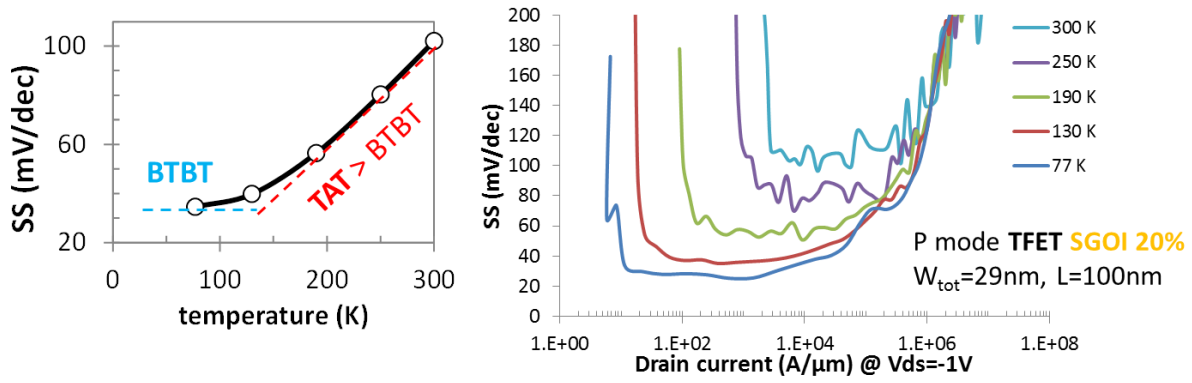


Figure IV.19. Faisceau de caractéristiques $I_D(V_G)$ d'un TFET à canal $\text{Si}_{0.8}\text{Ge}_{0.2}$ mesurées en fonction de la température. Les dimensions du nanofil sont de $W_{\text{tot}}=29\text{nm}$ et $L=100\text{nm}$. Ce pTFET possède un I_{ON} de $489\mu\text{A}/\mu\text{m}$ à température ambiante, qui dépend faiblement de la température, avec une valeur à $474\mu\text{A}/\mu\text{m}$ à 77K . Le régime sous le seuil du transistor est toutefois fortement dépendant de la température, avec une pente sous le seuil qui diminue de $100\text{mV}/\text{dec}$ à $T=300\text{K}$ jusque $35\text{mV}/\text{dec}$ pour $T=77\text{K}$. La dépendance en courant est similaire à celle observée au chapitre précédant [Villalon14]. Mesure : A. Revelant.

Nous avons démontré dans le second chapitre de cette thèse que l'injection tunnel bande à bande permet des pentes sous le seuil inférieures à la limite thermoionique de $60\text{mV}/\text{dec}$, car d'une part la bande d'énergie interdite est située à un niveau immédiatement supérieur à celui des porteurs injectés et, d'autre part, la nature du dispositif fait que les électrons injectés possèdent un niveau d'énergie proche du niveau de Fermi. Cette proximité d'énergie des porteurs injectés avec le niveau de Fermi fait que l'injection tunnel bande à bande est théoriquement indépendante de la température [Born06][Guo09]. Ce n'est pas le cas des transistors de la figure IV.19.

De cette figure nous pouvons déduire qu'il y a deux mécanismes d'injection à l'œuvre dans nos TFETs : l'état saturé est bien dominé par l'effet tunnel bande à bande, comme nous l'avons démontré dans ce chapitre, mais le régime sous le seuil semble parasité par un effet d'injection qui présente une forte dépendance en température. Toutefois, ce second mécanisme présente des caractéristiques propres à un effet tunnel : la comparaison au modèle de Kane ou l'extraction du DIBL, toutes deux effectuées dans le régime sous le seuil, en sont la preuve. L'hypothèse retenue pour expliquer ce phénomène, rencontré par d'autres équipes [Neves13][Knoll12][Kamper11], est qu'il est dû à l'effet tunnel assisté par pièges (trap-assisted tunneling ou TAT). Le TAT tend à dominer le BTBT en régime sous le seuil, car les pièges se comportent comme des niveaux d'énergie disponibles à une longueur tunnel plus faible. De plus, le TAT est particulièrement sensible à la température, qui impacte le taux de remplissage des pièges. Afin de mettre le TAT en évidence, nous avons extrait la pente sous le seuil en fonction de la température, ainsi que les caractéristiques $\text{SS}(I_D)$, qui sont représentés en figure IV.20. La pente sous le seuil décroît linéairement avec la température tant que le TAT domine, entre 300K et 130K , avant de se stabiliser à une valeur de $35\text{mV}/\text{dec}$ qui correspond à la valeur de la pente due au BTBT. Les caractéristiques $\text{SS}(I_D)$ montrent également l'amélioration de la pente avec une stabilisation, ainsi qu'une diminution du I_{MIN} et un élargissement du régime sous le seuil.

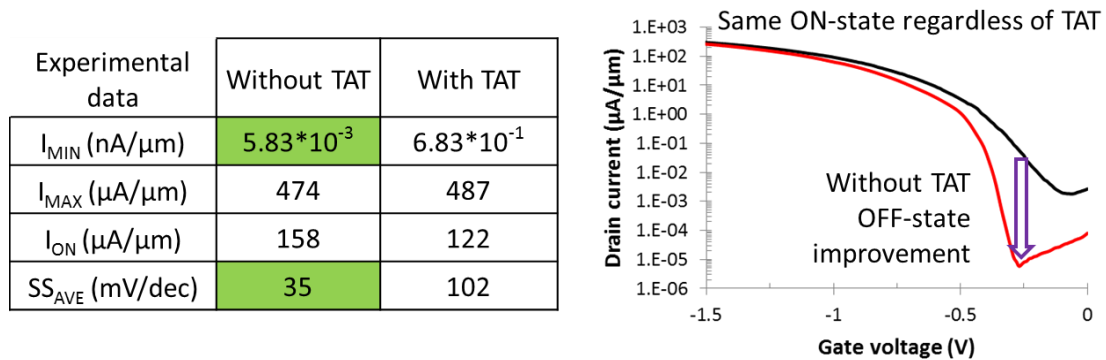


2. Dédutions sur les performances des TFETs nanofils

La présentation des performances du TFET nanofil à basse température a permis d'identifier le mécanisme à l'origine des pentes supérieures à la limite thermoionique, le tunneling assisté par pièges. Il en découle qu'une amélioration des transistors à effet tunnel consistera en une réduction du nombre de pièges dans la structure, avec un effort particulier sur ceux à l'origine du TAT (en énergie et en position).

Comme nous l'avons mentionné le TAT est sensible à la température là où le BTBT ne l'est pas, ce qui nous permet d'affirmer que les performances mesurées à 77K, avec un TAT complètement effacé, sont identiques à celles que posséderait à température ambiante un TFET sans TAT. La figure IV.21 présente une comparaison de paramètres extraits à 300K (avec TAT) et 77K (sans TAT) et les résultats qu'une telle optimisation pourrait produire. On y constate que les courants I_{ON} (qui est ici relatif à I_{MIN}) et I_{MAX} varient peu, mais que ce sont surtout le courant I_{MIN} et la pente sous le seuil moyenne qui sont améliorés.

Avant de clore ce chapitre, nous allons proposer une comparaison des performances électriques des TFETs réalisés sur nanofil que nous venons d'étudier, ainsi que d'autres résultats issus de la



littérature, basée sur des extractions de paramètres possédant les mêmes définitions que dans les MOSFETs, à savoir : I_{OFF} fixé à une valeur de $10\text{nA}/\mu\text{m}$, I_{ON} la valeur du courant relatif, mesuré à $V_{GS}=V_{DS}=+V_{DD}$, et la valeur de pente sous le seuil moyenne, SS_{ave} , calculée comme la pente sur la décade de courant complète suivant le I_{OFF} . Un MOSFET réalisé sur structure nanofil est également caractérisé. Les résultats sont présentés en figure IV.22. Bien qu'une telle comparaison ne soit pas à l'avantage des TFETs (particulièrement en raison du I_{OFF} choisi qui reste élevé dans le cas des TFETs) les meilleurs pTFETs présentés dans ce chapitre approchent progressivement des performances du MOSFET.

	TFET				MOSFET	
Structure	GAA sSi	FinFET Si	FD SiGe5%/SOI	FD SiGe30%/SOI	SGOI 25% NW	
Reference	Knoll13	Leonelli10	Villalon12	Villalon12	Présente étude	
I_{OFF} (nA/ μm)	10	10	10	10	10	10
I_{ON} relatif ($\mu\text{A}/\mu\text{m}$)	30	4	7	65	190	700
SS_{ave} (mV/dec)	75	250	116	150	80	70
V_{DS} (V)	-0.5		-1	-1	-0.9	-0.9
L (nm)	200	160	200	200	54	54
W_{top} (nm)		25	10000	10000	4	4

Figure IV.22. Comparaison de différents pTFETs en utilisant une définition des paramètres similaire au MOSFET. Le courant I_{OFF} est donc fixé à une valeur de $10\text{nA}/\mu\text{m}$, le courant I_{ON} est ensuite mesuré à $V_{OFF}+V_{DD}$, et la pente est calculée sur la décade de courant complète supérieure au I_{OFF} . Les valeurs extraites sur un pMOSFET co-intégré à nos TFETs sur nanofil sont proposées comme référence. Les dimensions données pour les dispositifs sont fournies avec une largeur W_{top} , en vue de haut, ce qui explique la faible valeur dans nos structures.

D. Conclusion de l'ultime chapitre

Nous avons présenté dans ce chapitre l'étude réalisée sur des TFETs fabriqués en structure nanofil. Le procédé de fabrication permet l'obtention de structures de dimensions très agressives (périmètre total de 27nm , avec une largeur vue de dessus W_{top} de 5nm) et d'un canal entièrement SiGe grâce à la méthode d'enrichissement en germanium, compatible avec les procédés MOSFETs usuels sur SOI. Ces TFETs ont été caractérisés et analysés en fonction de deux facteurs principaux : la concentration en germanium du fil et sa largeur physique. Nous avons commencé par identifier le fonctionnement TFET. Nous avons ensuite montré qu'un fil de $\text{Si}_{0.75}\text{Ge}_{0.25}$ augmente le courant tunnel par rapport à un fil de silicium d'un facteur 20, tandis qu'une réduction de la largeur du fil augmente le courant total dans le fil, avec une dépendance en W^{-3} entre $W=1\mu\text{m}$ et $W=50\text{nm}$. Cette dépendance du courant total s'estompe ensuite. Toutefois, la densité de courant dans le transistor, qui s'obtient après une division supplémentaire par la largeur, atteint pour les plus faibles largeurs des valeurs sont actuellement des records pour les TFETs. Par ailleurs, une série de mesure à basse température nous a permis d'identifier un mécanisme de tunneling parasite présent dans nos TFETs, l'injection tunnel assistée par piège ou TAT, qui en dégrade fortement la pente sous le seuil ainsi que le courant minimal I_{MIN} , sans toutefois impacter le courant de saturation. La mise en évidence du TAT comme parasite du régime sous le seuil indique que c'est donc la présence de défauts physiques

dans la structure qui dégrade les performances des TFETs. Nous pouvons donc en déduire qu'une analyse poussée de ces défauts (position physique et énergétique) ainsi que l'utilisation de procédés adaptés permettra d'améliorer fortement l'état bloqué des TFETs et leur transition vers l'état saturé. Enfin, les dépendances opposés en température du BTBT et du TAT permettent de proposer des performances minimales d'un TFET possédant la structure présentée, mais exempt de pièges.

E. Bibliographie

- [Born06] M. Born, K.K. Bhuiwala, M. Schindler, U. Abelein, M. Schmidt, T. Sulima and I. Eisele, "Tunnel FET : A CMOS Device for High Temperature Applications," MIEL 2006.
- [Kampen11] C. Kampen, A. Burenkov, and J. Lorenz, "Challenges in TCAD Simulations of Tunneling Field Effect Transistors," Proc. Of the ESSDERC, pp. 153-156, 2011.
- [Knoll12] L. Knoll, Q.T Zhao, S. Trellenkamp, A. Schafer, K.K. Bourdelle and S. Mantl, "Si tunneling transistors with high on-currents and slopes of 50 mV/dec using segregation doped NiSi₂ tunnel junctions," Proc. Of the ESSDERC, pp. 153-156, 2012.
- [Knoll13] L. Knoll, Q.T Zhao, A. Nichau, S. Richter, G.V. Luong, S. Trellenkamp, A. Schafer, L. Selmi, K.K. Bourdelle and S. Mantl, "Demonstration of improved transient response of inverters with steep slope strained Si NW TFETs by reduction of TAT with pulsed I-V and NW scaling," in Proc. Int. Electron Devices Meeting, 2013.
- [Leonelli10] D. Leonelli, A. Vandooren, R. Rooyackers, A. Verhulst, S. De Gendt, M.M. Heyns, and G. Groeseneken, "Performance Enhancement in Multi Gate Tunneling Field Effect Transistors by Scaling the Fin-Width," Jpn. J. Appl. Phys., vol. 49, 2010.
- [Morita13] Y. Morita, T. Mori, S. Migita, W. Mizubayashi, A. Tanabe, K. Fukuda, T. Matsukawa, K. Endo, S. O'uchi, Y.X. Liu, M. Masahara and H. Ota, "Synthetic electric field tunnel FETs: Drain current multiplication demonstrated by wrapped gate electrode around ultrathin epitaxial channel," VLSI Symp. Tech. Dig., 2013, pp.236-237.
- [Neves13] F. S. Neves, P. G. D. Agopian, J. A. Martino, R. Rooyackers, A. Vandooren, E. Simoen, C. Claeys, "Influence of interface trap density on vertical NW-TFETs with different source composition," Euro. SOI. Conf., 2013, 1, pp. 1-2.
- [Tezuka07] T. Tezuka, N. Hirashita, Y. Moriyama, S. Nakaharai, N. Sugiyama and S. Takagi, "Strain analysis in ultrathin SiGe-on-insulator layers formed from strained Si-on-insulator substrates by Ge-condensation process," Appl. Phys. Lett., vol. 90, no. 18, 2007.
- [Villalon12] A. Villalon, C. Le Royer, M. Casse, D. Cooper, B. Previtali, C. Tabone, J.M. Hartmann, P. Perreau, P. Rivallin, J.F. Damlencourt, F. Allain, F. Andrieu, O. Weber, O. Faynot and T. Poiroux, "Strained tunnel FETs with record ION: first demonstration of ETSOI TFETs with SiGe channel and RSD," VLSI Symp. Tech. Dig., 2012, pp.49-50.
- [Villalon14] A. Villalon, C. Le Royer, P. Nguyen, S. Barraud, F. Glowacki, A. Revelant, L. Selmi, S. Cristoloveanu, L. Tosti, C. Vizios, J.-M. Hartmann, N. Bernier, B. Prévitali, C. Tabone, F. Allain, S. Martinie, O. Rozeau and M. Vinet, "First Demonstration of Strained SiGe Nanowires TFETs with ION beyond 700 μ A/ μ m," VLSI Symp. Tech. Dig., 2014.

V. Conclusion générale

Les travaux rapportés dans cette thèse avaient pour objectif l'étude de transistors à pente abrupte pour des applications basse consommation. Après une rapide comparaison de différentes architectures de transistors à pente abrupte, nous avons focalisé l'étude sur les transistors à effet tunnel bande à bande, ou TFETs.

Dans le premier chapitre, nous avons comparé plusieurs solutions offrant une pente sous le seuil abrupte et avons sélectionné le TFET comme dispositif de choix pour l'étude. Nous avons ensuite rappelé les résultats disponibles dans la littérature sur le sujet, tant sur les différentes méthodes de modélisation des TFETs, que sur le grand nombre d'architectures envisageables et leurs effets sur le dispositif. Nous avons ainsi pu mentionner que, à l'instar des MOSFETs, l'optimisation des TFETs passe par des modifications de matériau, de structure et d'architecture.

Le second chapitre, tourné vers la compréhension de la physique liée à l'injection tunnel bande à bande, présente l'origine des pentes abruptes, ainsi que le fonctionnement interne du TFET. Par ailleurs, nous avons détaillé l'impact de l'ambipolarité du TFET sur les caractéristiques électriques, notamment les courbes $I_D(V_D)$ et la supérlinéarité. Nous avons en particulier démontré que les caractéristiques $I_D(V_D)$ présentent deux régimes, liés à chacune des jonctions, le premier créant la supérlinéarité puis un plateau, le second une queue exponentielle de courant, ce qui n'avait encore jamais été rapporté expérimentalement dans la littérature.

Dans le pénultième chapitre nous avons présenté les structures TFETs planaires, caractérisant expérimentalement l'efficacité de différentes structures mentionnées dans le premier chapitre. Nous avons en particulier quantifié l'impact de l'épaisseur du canal, de l'abrupte des jonctions ainsi que de la présence d'une hétérojonction SiGe/Si sur les performances d'un TFET planaire. Par ailleurs, compte tenu des performances mesurées, nous avons détaillé les comparaisons effectuées entre mesures et modèle afin de s'assurer de la présence de l'injection tunnel dans les transistors étudiés. Le contrôle électrostatique et l'abrupte de jonction ont été identifiés comme les deux facteurs influençant le plus fortement les performances en courant des dispositifs.

L'ultime chapitre rapporte en conséquence les caractérisations électriques de TFETs à structure nanofils Si ou SiGe. Comme attendu, l'augmentation de l'injection tunnel dans le cas des canaux SiGe correspond au changement de bandgap. En plus des présentations de performances qui constituent actuellement l'état de l'art, nous avons également identifié sur ces dispositifs l'origine des pentes dégradées grâce à des mesures réalisées à basse température (77K). Nous avons montré un fort impact de l'électrostatique sur les dispositifs nanofil, conduisant à une dépendance du courant I_{ON} par rapport à la largeur du fil opposée à celle d'un MOSFET.

L'ensemble de ces résultats nous permet donc de rappeler le fonctionnement de l'injection tunnel, puis de proposer une étude expérimentale complète des mécanismes d'amélioration du courant tunnel dans les TFETs. Le TFET présente de nombreux avantages pour l'avenir. En premier lieu la dépendance du courant et de la pente sous le seuil des TFETs par rapport aux dimensions du dispositif (épaisseur du canal mais également largeur du canal) permettra au TFET de bénéficier bien plus de la réduction des dimensions qu'un MOSFET. Deuxièmement l'influence du matériau de canal sur le courant γ est supérieure à celle d'un MOSFET, et reste constante quelle que soit la longueur de grille. Ceci est toutefois à nuancer compte tenu de l'influence de la position des dopants et des jonctions, qui est tout aussi critique pour le TFET. La réalisation des régions source et drain avec un

dopage *in-situ* créant moins de défauts permettrait de résoudre ce problème et d'obtenir des transistors combinant l'état saturé démontré à température ambiante avec des pentes sous le seuil inférieures à 60mV/dec. On pourra noter que toutes les améliorations actuellement mises en œuvre pour le CMOS avancé (FDSOI, canal SiGe, EOT agressive, dopage *in-situ*, transistors étroits) sont également bénéfiques aux TFETs.

VI. Bibliographie de l'auteur

Articles de conférences

First demonstration of ultrathin body c-SiGe channel FDSOI pMOSFETs combined with SiGe(:B) RSD: Drastic improvement of electrostatics ($V_{th,p}$ tuning, DIBL) and transport (μ_0 , I_{sat}) properties down to 23nm gate length,

Le Royer, C. ; Villalon, A. ; Casse, M. ; Cooper, D. ; Mazurier, J. ; Previtali, B. ; Tabone, C. ; Perreau, P. ; Hartmann, J. ; Scheiblin, P. ; Allain, F. ; Andrieu, F. ; Weber, O. ; Batude, P. ; Faynot, O. ; Poiroux, T., **International Electron Devices Meeting (IEDM), 2011 IEEE**

Strained Tunnel FETs with record I_{ON} : First demonstration of ETSOI TFETs with SiGe channel and RSD, A. Villalon, C. Le Royer, M. Cassé, D. Cooper, B. Prévitali, C. Tabone, J.-M. Hartmann, P. Perreau, P. Rivallin, J.-F. Damlencourt, F. Allain, F. Andrieu, O. Weber, O. Faynot and T. Poiroux, **VLSI Symposium on Technology 2012**

High Performance FDSOI MOSFETs and TFETs Using SiGe Channels and Raised Source and Drain (invited), Le Royer, C. ; Villalon, A. ; Cooper, D. ; Andrieu, F. ; Hartmann, J. ; Perreau, P. ; Previtali, B., **International Silicon-Germanium Technology and Device Meeting (ISTDM), 2012**

Record I_{ON} Currents for FDSOI HK-MG n & p-type Tunnel FETs by Using Ultrathin Strained SiGe Body, A. Villalon, C. Le Royer, D. Cooper, S. Cristoloveanu, M. Cassé, J.-M. Hartmann, F. Allain, C. Tabone and T. Poiroux, **EuroSOI conference 2013**

First Demonstration of Strained SiGe Nanowires TFETs with I_{ON} beyond $700\mu A/\mu m$, A. Villalon, C. Le Royer, P. Nguyen, S. Barraud, F. Glowacki, A. Revelant, L. Selmi, S. Cristoloveanu, L. Tosti, C. Vizios, J.-M. Hartmann, N. Bernier, B. Prévitali, C. Tabone, F. Allain, S. Martinie, O. Rozeau, M. Vinet, **VLSI Symposium on Technology 2014**

High Performance SiGe Nanowire Tunnel FETs: Low Temperature Characterization for Device Process Optimization, A. Villalon, A. Revelant, C. Le Royer, P. Nguyen, L. Selmi, S. Cristoloveanu, **11th International Workshop On Low-Temperature Electronics, 2014**

Beyond TFET: Alternative Mechanisms for CMOS-Compatible Sharp-Switching Devices (invited), S. Cristoloveanu, J. Wan, P. Ferrari, M. Bawedin, C. Navarro, A. Zaslavsky, C. Le Royer, A. Villalon, C. Fenouillet-Béranger, Y. Solaro, P. Fonteneau, **SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S) 2014**

Future Challenges and Opportunities for Heterogeneous Process Technology. Towards the Thin Films, Zero Intrinsic Variability Devices, Zero Power Era (invited), S. Deleonibus, O. Faynot, T. Ernst, M. Vinet, P. Batude, F. Andrieu, O. Weber, D. Cooper, F. Bertin, H. Moriceau, L. DiCioccio, T. Signamarcheix, M. Sanquer, X. Jehl, H. Fanet, F. Martin, H. Okuno, F. Nemouchi, G. Poupon, Y. Lamy, D. Gasparutto, X. Baillin, L. Perniola, B. de Salvo, E. Vianello, L. Hutin, E. Beigne, R. Tiron, L. Pain, S. Tedesco, S. Barnola, N. Posseme, C. Le Royer, A. Villalon, R. Salot, **International Electron Device Meeting 2014**

Article de journaux

High Performance Ultrathin Body c-SiGe Channel FDSOI pMOSFETs featuring SiGe Source and Drain: Vth Tuning, Variability, Access Resistance and Mobility Issues,

A. Villalon, C. Le Royer, S. Cristoloveanu, M. Cassé, D. Cooper, J. Mazurier, B. Prévitali, C. Tabone, P. Perreau, J.-M. Hartmann, P. Scheiblin, F. Allain, F. Andrieu, O. Weber and O. Faynot, **IEEE Transactions on Electron Devices** vol. 60, no. 5, 2013, pp.1586-1574.

Experimental Investigation of the Tunneling Injection Boosters for Enhanced I_{ON} ETSOI Tunnel FET,

A. Villalon, C. Le Royer, M. Casse, D. Cooper, J.-M. Hartmann, F. Allain, C. Tabone, F. Andrieu, and S. Cristoloveanu, **IEEE Transaction on Electron Devices** vol. 60, no. 12, 2013, pp. 4079-4084.

Further Insights in TFET Operation,

A. Villalon, G. Le Carval, S. Martinie, C. Le Royer, M.A. Jaud, S. Cristoloveanu, **IEEE Transactions on Electron Devices** vol. 61, no. 8, 2014, pp. 2893-2898.

Electron-Hole Bilayer TFET: Experiments and Comments,

A. Revelant, A. Villalon, Y. Wu, A. Zaslavsky, C. Le Royer, H. Iwai, S. Cristoloveanu, **IEEE Transactions on Electron Devices** vol. 61, no. 8, 2014, pp.2674-2681.

Communications

Ultrathin body FDSOI Tunnel FETs Using strained SiGe channels (invited),

A. Villalon, C. Le Royer, M. Cassé, D. Cooper, B. Prévitali, C. Tabone, J.-M. Hartmann, P. Perreau, P. Rivallin, J.-F. Damlencourt, F. Allain, F. Andrieu, O. Weber, O. Faynot and T. Poiroux, **9th International Symposium on Advanced Gate Stack Technology, 2012**

Transistors à effet tunnel (TFET) en technologie FDSOI planaire: Où en est-on? (invited),

C. Le Royer, A. Villalon, **Journées Nano, Micro et Optoélectronique (JNMO) 2013**

High-Performance Tunnel FETs on advanced FDSOI Platform (invited),

C. Le Royer, A. Villalon, **2nd ukrainian-french seminar (Semiconductor-On-Insulator materials, devices and circuits: physics, technology and diagnostics) 2013**

Chapitres de livre

High-Performance Tunnel FETs on Advanced FDSOI Platform,

C. Le Royer, A. Villalon, M. Cassé, D. Cooper, J.-F. Damlencourt, J.-M. Hartmann, C. Tabone, S. Cristoloveanu, **"Functional nanomaterials and devices for electronics, sensors and energy harvesting" 2014 SPRINGER book chapter**

Étude de nano-transistors à faible pente sous le seuil pour des applications très basse consommation

Le transistor à effet tunnel bande à bande (TFET) est une architecture PIN à grille capable d'obtenir une pente sous le seuil inférieure à 60mV/dec à température ambiante, ce qui représente un avantage par rapport au MOSFET dans le cas d'applications basse consommation. L'objectif de cette thèse est d'étudier et de caractériser des TFETs fabriqués au CEA-LETI (sur substrats SOI avec les procédés standards CMOS), afin de comprendre et d'optimiser ces dispositifs. La première génération de TFETs a été réalisée en architecture planaire (FDSOI) et fournit une étude sur l'impact de l'hétérojonction canal source, de l'épaisseur du canal et de la température de recuit sur les performances. La seconde génération a été réalisée en architecture nanofil SiGe planaire, dont l'impact de la géométrie a été étudié en détail. Les mesures ont permis de valider l'injection par effet tunnel bande à bande, et les performances observées ont été comparées à la littérature et aux MOSFET. Par ailleurs, des caractérisations avancées ont également mené à une meilleure compréhension des caractéristiques de sortie courant-tension. Finalement, des mesures basse température nous avons confirmé la présence de défauts proches des jonctions (à l'origine des limitations de pente sous le seuil) et ainsi proposé des voies d'optimisation pour s'en affranchir.

Mots clés : pente sous le seuil, effet tunnel, transistor, caractérisation, TFET, SiGe, FDSOI.

Steep slope nano-transistors for Ultra Low Power applications

Band to band tunneling field effect transistor (TFET) is a PIN-gated architecture able to reach sub 60mV/dec subthreshold slopes at room temperature, which is an advantage over MOSFET in low power applications. The objective of this thesis is to study and characterize TFETs fabricated in CEA-LETI using MOSFET SOI technology. The first generation of devices is realized on planar FDSOI technology, and studies the impact of source/channel heterojunction, channel thickness and annealing temperature on device performances. The second generation is planar SiGe nanowire architecture, with research focusing on the impact of the wire geometry. Through measurements we were able to prove the band to band tunneling injection, while the reported performances were compared with literature and with MOSFET. Furthermore, advanced characterizations led to a better understanding of the output characteristics. Through low temperature measurements we confirmed existence of defects close to the junctions (which cause slope degradation), as well as on which process steps to improve in the future.

Keywords : subthreshold slope, tunneling, transistor, characterization, TFET, SiGe, FDSOI.